

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-259148

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 5 F 1/10

3 0 4

G 0 5 F 1/10

3 0 4 F

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

27/06

3 1 1 B

27/06

審査請求 未請求 請求項の数15 OL (全 33 頁)

(21) 出願番号 特願平10-370303

(22) 出願日 平成10年(1998)12月25日

(31) 優先権主張番号 09/002179

(32) 優先日 1997年12月31日

(33) 優先権主張国 米国 (US)

(71) 出願人 591077450

シリコンックス・インコーポレイテッド  
S I L I C O N I X I N C O R P O R A  
T E D  
アメリカ合衆国カリフォルニア州95054・  
サンタクララ・ローレルウッドロード  
2201(72) 発明者 リチャード・ケイ・ウィリアムズ  
アメリカ合衆国カリフォルニア州95014・  
クーベルティノー・ノーウィッチアベニュー  
10292

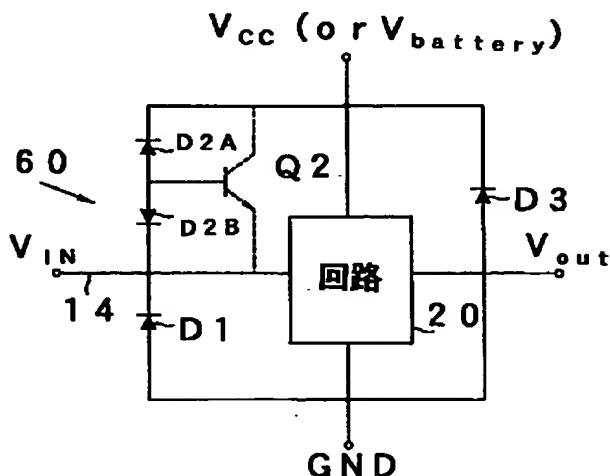
(74) 代理人 弁理士 大島 陽一

(54) 【発明の名称】 静電放電 (ESD) 保護回路

(57) 【要約】

【課題】 入力電圧が回路の電源範囲外の所定のレベルになるまで導通しないESD保護回路を提供する。

【解決手段】 静電放電 (ESD) 保護回路は、信号入力と保護される回路の電源端子との間に逆向きに直列接続されるダイオードを含む。これにより、ESD保護回路をトリガすることなく、入力信号が供給電圧を上回るに選択されたレベルまで上昇できるようにする。ESD保護回路は、N-ウェル内に一對のP+領域を含むか、或いは個別のN-ウェルとのPN接合部を形成する個別のP+領域を含むダイオードを備える集積回路として製作することができる。ダイオードはフィールド酸化物領域上のポリシリコンの層内に形成されてもよい。さらに第2の一対の逆向きに接続されたダイオードが信号入力端子とグラウンドとの間に接続されてもよい。



## 【特許請求の範囲】

【請求項1】 静電放電（ESD）保護回路であって、

前記ESD保護回路により保護される第2の回路に入力信号を供給するための信号入力端子と、

電源端子と、

前記信号入力端子と前記電源端子との間に直列に接続される第1及び第2のダイオードとを有し、前記第1及び第2のダイオードがそれぞれ逆向きに順方向電流を流すように接続されることを特徴とする静電放電（ESD）保護回路。

【請求項2】 前記信号入力端子とグラウンドとの間に第3のダイオードをさらに有することを特徴する請求項1に記載のESD保護回路。

【請求項3】 前記電源端子とグラウンドとの間に接続される第4のダイオードをさらに有することを特徴する請求項2に記載のESD保護回路。

【請求項4】 前記第2の回路がCMOSインバータからなることを特徴する請求項1に記載のESD保護回路。

【請求項5】 前記第1及び第2のダイオードが半導体基板内に形成され、前記第1及び第2のダイオードが第1の導電型の第1の領域と第2の導電型の第2及び第3の領域とからなり、前記各第2の領域が前記第1の領域とPN接合部を形成するように形成されることを特徴する請求項1に記載のESD保護回路。

【請求項6】 前記入力端子が前記第2の領域と接触し、前記電源端子が前記第2の領域と接触することを特徴とする請求項5に記載のESD保護回路。

【請求項7】 前記第1及び第2のダイオードが半導体基板内に形成され、前記第1のダイオードが、第2の導電型の第2の領域と第1のPN接合部を形成する第1の導電型の第1の領域とからなり、また前記第2のダイオードが、前記第1の導電型の第4の領域と第2のPN接合部を形成する前記第2の導電型の第3の領域とからなることを特徴とする請求項1に記載のESD保護回路。

【請求項8】 前記第1の領域が前記入力端子に接続され、前記第4の領域が前記電源端子に接続され、さらに前記第2及び第3の領域が互いに接続されることを特徴とする請求項7に記載のESD保護回路。

【請求項9】 前記第1及び第2のダイオードが第1の導電型のエピタキシャル層内に形成され、前記第1のダイオードが、前記エピタキシャル層と第1のPN接合部を形成する第2の導電型の第1の領域とからなり、また前記第2のダイオードが、前記エピタキシャル層と第2のPN接合部を形成する前記第2の導電型の第2の領域とからなることを特徴とする請求項1に記載のESD保護回路。

【請求項10】 前記第1の領域と前記第2の領域と

に有し、前記第3の領域が前記エピタキシャル層より重くドーパされることを特徴とする請求項9に記載ESD保護回路。

【請求項11】 前記第1及び第2の領域の下側に配置される前記第1の導電型の埋込層を更に有し、前記埋込層が前記エピタキシャル層より重くドーパされることを特徴とする請求項10に記載のESD保護回路。

【請求項12】 前記第1及び第2のダイオードがポリシリコンの層からなり、前記ポリシリコンの層が第1の導電型の第1の領域、第2の導電型の第2の領域並びに前記第1の導電型の第3の領域とからなり、前記第2の領域が前記第1及び第3の領域とPN接合部を形成することを特徴とする請求項1に記載のESD保護回路。

【請求項13】 前記信号入力端子が前記第1の領域に接続され、前記電源端子が前記第3の領域に接続されることを特徴とする請求項12に記載のESD保護回路。

【請求項14】 前記ポリシリコン層がフィールド酸化物領域上に形成されることを特徴とする請求項13に記載のESD保護回路。

【請求項15】 前記信号入力端子とグラウンドとの間に直列に接続される第3及び第4のダイオードをさらに有し、前記第3及び第4のダイオードがそれぞれ逆向きに順方向電流を流すように接続されることを特徴とする請求項1に記載のESD保護回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、静電放電により生じる電圧変動のような極端な高電圧或いは低電圧への電圧の揺れ、特に回路に電源を供給する供給電圧を上回るレベルにまで上昇する電圧の変動により生じる損傷から他の回路を保護するための保護回路に関連する。

## 【0002】

【従来の技術】静電放電（ESD）により生じる損傷から集積回路のような回路を保護することが知られている。しかしながら、これら既知の技術の多くは、ESD保護される必要がある回路を駆動する供給電圧を上回る電圧を生じる入力信号に対しては、その回路を保護しない。

【0003】そのような従来の回路の一例が図1Aに示されており、ESD保護回路10がインバータ12を入力端子において保護している。ESD保護回路10はダイオードD1及びD2を含み、ダイオードD1は入力端子14をとグラウンドとの間に接続され、ダイオードD2は入力端子14と正の供給電圧 $V_{cc}$ との間に接続される。インバータ12は従来のCMOS構造体からなり、Nチャネル低位側MOSFETM1及びPチャネル高位側MOSFETM2を有する。入力信号 $V_{in}$ は入力端子14に加えられ、周知のようにインバータ12は出力端

3は、MOSFET M1及びM2が形成される構造体、詳細にはPチャネルMOSFET M2が形成されるN-ウエルと接続されるダイオードである。回路をモノリシック回路に集積するとき、そのICがウエル拡散部間の接合部、並びにウエル拡散部と下側基板との間の接合部を排除する酸化物（誘電体による）絶縁プロセスにおいて生成されていない場合には、ダイオードD3を形成することは必須である。従ってダイオードD3は寄生ダイオードであってもよく、設定により回路に加えられてもよい。

【0004】 $V_{in}$ 及び $V_{out}$ が図1Bに示される。 $V_{in}$ が0から $V_{cc}$ に遷移するとき、中間点( $V_{cc}/2$ )付近のある場所において、 $V_{out}$ が $V_{cc}$ から0に変化する。 $V_{in}$ が $V_{cc}$ から0に遷移するとき逆の状況が生じる。

【0005】 $V_{in}$ は通常 $V_{cc}$ 以下であるため、ダイオードD1は通常逆方向バイアスされる（ただし $V_{in}$ がグランド電位にあるとき、場合によってはゼロバイアスされることもある）。同様にダイオードD2は通常逆方向バイアスされるが、 $V_{in}=V_{cc}$ の場合はこの限りではない。ダイオードD3は、 $V_{cc}$ が存在する限り逆方向バイ

アスされる。

【0006】保護されているインバータ12は任意の回路であってよく、これは図2において明らかになっており、そこではESD保護回路12により保護される一般的な回路20として示される。

【0007】図3-図7は、動作時の図2の回路を示しており、ESDパルスは、抵抗R1及びスイッチS1と直列に接続され、発生電圧 $V_{gen}$ に帯電したコンデンサC1を含む回路網22として模式化されている。スイッチS1が投入されるとき、コンデンサC1は抵抗R1を介して放電され、 $V_{ESD}$ の電圧を有するESDパルスが回路網22の端子に現れる。例えば、 $V_{ESD}$ は数百Vから数千Vまで変化することができる。 $V_{ESD}$ は数千Vに達することができるが、ESDパルスに関連する容量及び蓄積された電荷( $Q=CV$ )が比較的小さいため、コンデンサC1に含まれるエネルギー量は小さくなる。

【0008】図3及び図4は、ESDパルスが入力端子14とグランドとの間に加えられる状態を示している。例えばこの状態は、回路基板に差し込まれる前に、並びに電源に接続される前に、そのチップがピックアップされた場合に発生する。図3では、ESDパルスの正側が入力端子14に加えられ、ダイオードD1がブレイクダウンして回路20を保護しており、ダイオードD1にはブレイクダウン電圧( $BV_{D1}$ )に等しい電圧がかかる。回路20への入力は非常に薄いゲート酸化物層を有する小電力トランジスタを含む場合が多く、ダイオードD1が存在しない場合に入力端子に現れるサージ電圧を印加されると、破壊されてしまうであろう。電流 $I_{ESD}$ はダイオードD1を通り逆方向に流れる。図4ではESDパ

ードD1間の順方向電圧降下分の電圧がかかる（通常0.6-1.0Vの範囲にある）。

【0009】図5-図7では、ESDパルスが入力端子14と電源 $V_{cc}$ との間に加えられる。図5は、パルスの正側が入力端子14に加えられ、他の端子が浮動状態のままである状態を示しており、図に示されるように、ダイオードD2は順方向バイアスされ、回路20にはダイオードD2間の順方向電圧降下分の電圧がかかる（0.6-1.0V）。

10 【0010】ESDパルスの負側が入力端子14に加えられるとき、2つの状態が生じる可能性がある。1つの可能性は、図6に示されるように、ダイオードD2がブレイクダウンし、電流 $I_{ESD}$ がダイオードD2を介して逆方向に流れ、回路20にダイオードD2のブレイクダウン電圧がかかる状態である。別の可能性は、図7に示されるように、ダイオードD3がブレイクダウンして、電流 $I_{ESD}$ がダイオードD1を介して順方向に流れることができる状態である。そのようなESD試験においては、実際の応用例では他の回路に接続されるかもしれないが、グランドピンは浮動状態のままにしておく。ダイオードD3のブレイクダウン電圧とダイオードD1間の順方向電圧降下との和がダイオードD2のブレイクダウン電圧より低い場合、後者の状態が放電経路として好ましい。

20 【0011】ダイオードD3は、ある種の抵抗によりエミッターベース間が短絡される寄生バイポーラトランジスタの一部であることができる（図8A参照）。それはPN接合を与えるのみならず、ブレイクダウン時に、ベース電流が流れ、バイポーラトランジスタがスナップバックできるようにするダイオードである。これは、デバイス間にかかる電圧をダイオード自体の実際のブレイクダウン電圧より低い持続電圧にまで低減する。これは、電流が同一であるが、電圧がダイオードのブレイクダウン電圧より低いいため、回路20をESDから保護すること、並びにダイオードにおいて発生する熱を抑制することのいずれの観点からみても好都合である。ダイオードD3はMOSFETの一部であってもよく、そのMOSFETでは、フィールドプレート効果によりダイオードのブレイクダウン電圧が低減される（図8B参照）。この場合には、MOSFETは、ゲートによりシリコン内にブレイクダウンが誘導されるだけでなく、非常に多くのホットキャリアによりゲート酸化物自体が破壊されることのないように設計されることが要求される。一般に図8A及び8Bに示されるダイオードは、バイポーラトランジスタ或いはMOSFETの一部であるが、他の装置においては付加的なダイオードがバイポーラトランジスタ或いはMOSFETと並列に接続され、電流デバイダを形成し、それによりスナップバック点を制御することもできる。

ックする(図8Cに示されるような)或いはMOSFETがフィールドプレート誘導型ブレイクダウンを生じる場合には、電圧は $V_{cc}$ を上回る電圧から生起し、電流は、そのデバイスにおいてスナップバックし、電圧が $V_{cc}$ を下回り、そのデバイスが通常動作する範囲内(図8Cの斜線部分)にある持続電圧 $V_{sustain}$ まで降下するレベルに到達するまで上昇する。

【0013】このメカニズムは、通常の動作中には起動されないが、そうでなければデバイスは破損してしまう。ESDパルスに含まれるエネルギーが比較的小さいため、ESDパルス中のスナップバックは許容可能である。長時間に渡って、より高いエネルギーが加えられる条件下でスナップバックが発生する場合には、そのデバイスは過熱され、おそらく破損してしまうであろう。従って、ESD保護デバイスは、過渡的なESDの高電圧に対して回路を保護することができるにも関わらず、長期間に渡る過電圧或いは過電流状態を救済することはできない。

【0014】ESD保護回路10を用いる場合、図9に示される種類の回路において問題が生じる。ここで入力信号 $V_{in}$ は、DC/DCコンバータ40により電源供給されるCMOSバッファ段42により生成されるが、回路20はバッテリ44から直接供給される $V_{battery}$ により駆動される。ESDに対して保護される回路20の構成要素は、バッテリから直接電源供給されるデジタルデバイス、アナログデバイス或いはパワーデバイスを含む別のICであってもよいが、 $V_{in}$ により信号供給される回路20の構成要素は、例えば調整された電源を必要とするマイクロプロセッサ或いはカスタムチップであってもよい。この場合、DC/DCコンバータ40がCMOSバッファ段42及び回路20の両方に対して電源を供給しているなら、DC/DCコンバータ40に固有の電力損失及び不要な発熱を避けるために、バッテリ電圧 $V_{battery}$ そのものをパワーチップに供給することが望まれるであろう。回路20が、高電流モータ駆動IC或いは携帯電話に用いられる無線周波数電力増幅器のような高い電流を流す回路である場合には、典型的にこれに相当するであろう。

【0015】バッファ段42に供給される電圧は $V_{cc}$ で示される。 $V_{cc}$ が $V_{battery}$ 以下である限り、ESDダイオードD1及びD2は問題を生じない。しかしながら、 $V_{battery}$ が劣化しても、なおDC/DCコンバータ40が一定出力電圧 $V_{cc}$ を保持できる場合には、 $V_{battery}$ は実際に $V_{cc}$ より低い電圧に降下する場合も生じる。そのとき $V_{in}$ 、すなわちバッファ段42の出力及び回路20への入力、 $V_{battery}$ を上回り、ダイオードD1は順方向バイアスされるようになる。その結果、回路20及びバッファ42のいずれか、或いは両方において不適当な回路動作になり、損傷を生じるようにな

【0016】この誤動作が図10A及び図10Bに示される。図10Aは、時間の経過と共に、4.2VからDC/DCコンバータ40により生成される $V_{cc}$ を下回るレベルにまで降下する $V_{battery}$ 電圧を示しており、ここでは $V_{cc}$ を3.3Vにしている。図10Bに示されるように、 $V_{battery}$ が $V_{cc}$ より降下するとすぐに、小さな漏れ電流( $I_{IN}$ )がバッファ段42からダイオードD2を通して流れ始める。 $V_{battery}$ が約2.7Vに達するとき、ダイオードD2は完全に導通するようになり、 $V_{battery}$ を2.7Vにクランプする。そのとき $I_{IN}$ は急激に上昇し始める。出力フィルタ容量及びDC/DCコンバータ40に蓄積されるエネルギーに応じて、いくつかの状態が生じる。容量が十分に大きい場合には、電流は急速に上昇し続けてしまい(曲線a)、ダイオードD2は破損してしまう。電流を、例えば直列抵抗により制限することができ(曲線b)。その結果 $V_{battery}$ が劣化して $V_{cc}$ が調整されずに駆動されるようになるまでのある時間に渡って、電流はダイオードD1を通して流れ続けるであろう。またバッテリ44は、実際に全システムが動作を停止し始め、電流が降下し始めるほど大きな抵抗を有することもできる。

【0017】

【発明が解決しようとする課題】従って、入力電圧が電源を実質的に上回るレベルにまで上昇するか、或いはグラウンドレベルを実質的に下回るレベルにまで降下するときまで、導通しないESD保護回路が必要とされる。

【0018】

【課題を解決するための手段】本発明に基づくESD保護回路は、電圧入力端子と保護される回路の供給端子との間に直列に接続されるダイオードを含む。ダイオードは逆向きに、すなわちアノード同士或いはカソード同士のいずれかを接続される。さらに回路は保護される回路の他の端子間、例えば電圧入力端子とグラウンドとの間に逆向きに直列接続されるダイオードを含む場合もある。

【0019】入力電圧が上昇するに従って、逆方向バイアスされたダイオードは、制御可能で、しかも供給電圧を上回るようになるレベルでブレイクダウンする。逆に、他のダイオードのブレイクダウン電圧は、そのダイオードを介して電流が流れる前に入力電圧を如何に低くすることができるかにより決定される。こうして入力電圧は、保護ダイオードを破壊することなく、所定の高レベル或いは低レベルまで変化することができる。一方ダイオードの1つは、正、或いは負のESDパルスの存在時に常にブレイクダウンする。

【0020】ダイオードは、個別の構成要素として、或いは共用されたアノード或いはカソードを有するものとして集積回路に組み込まれる。後者の共用型の場合には、寄生バイポーラトランジスタが形成される。寄生バイポーラトランジスタを形成することにより、バイポー

SD性能を改善することができる。詳細にはスナップバックは、通常の動作により必要とされる電流範囲にある寄生バイポーラトランジスタにおいては生ずるべきではない。

【0021】本発明は以下の図面を参照することにより、より容易に理解できるであろう。図面において、類似の構成要素は同一の参照番号が付されている。

【0022】

【発明の実施の形態】図11Bは、入力端子14と回路20の $V_{CC}$ 端子との間に接続される図11Aに示される理想的なESD保護回路60のブレイクダウン特性を示すグラフである。縦軸上に保護回路60を介して流れる電流( $I_{IN}$ )が示され、横軸上に $V_{CC}$ に対する $V_{IN}$ の値( $V_{IN}-V_{CC}$ )が示される。 $V_{IN}-V_{CC}$ を減少させるとき、ESD保護回路60は、 $V_{IN}-V_{CC}$ がグランド以下のレベルである値 $-(BV_A-V_{CC})$ に達するまで導通することはない(グラフの原点が $V_{IN}=V_{CC}$ の点であるため、図11Bではグランドは $-V_{CC}$ である)。 $V_{IN}-V_{CC}$ を増加させる場合、 $V_{IN}-V_{CC}$ がある値 $BV_B-V_{CC}$ に達するまでESD保護回路60は導通することはない。ただし $BV_B$ は、 $V_{IN}$ の値の最大値 $=V_{IN}(max)$ を上回る値である。図に示されるように、図1Aに示される回路10のような従来のESD保護回路は、 $V_{IN}$ が約0.7Vだけ $V_{CC}$ を上回るとき、導通するようになる。

【0023】図12は、本発明の1つの実施例の回路図を示す。図に示されるように、ESD保護回路60はダイオードD2A及びD2Bを含み、それらは入力端子14と電圧供給端子 $V_{CC}$ (或いは $V_{battery}$ )との間に逆向き(すなわちアノード同士で)に直列接続される。逆向きに接続されるダイオードは通常いずれかの方向では導通しないため、回路60はAC遮断デバイスとなる。図12におけるダイオードD1及びD3は上記の回路から変更されない。

【0024】ダイオードD2A及びD2Bが、如何に製作されるかに応じて、それらのダイオードが寄生バイポーラトランジスタQ2(波線により示される)を形成する場合、或いはしない場合がある。ダイオードD3は省略される場合もあるが、多くの実施例では存在するであろう。寄生バイポーラトランジスタが形成される場合、そのトランジスタはスナップバックするようになるであろう。図13は電流を電圧の関数として示したグラフであり、いくつかの可能性が示されている。 $V_{CC}$ を上回る、或いは下回る斜線の領域(縦軸により示される)は、回路20の通常の動作の範囲を示す。縦軸の右側にある領域は、入力電圧 $V_{IN}$ が供給端子 $V_{CC}$ を上回るようになることを示す。電流及び電圧がこれらの範囲内にある限り、ダイオードD2A及びダイオードD2Bはいずれもブレイクダウンすべきでない。X及びX'を付され

いか、或いはスナップバックしないかのいずれかの状態を示す。従ってダイオードD2A及びD2Bは、通常の動作範囲の外側にある電圧でブレイクダウンし、任意の適当な電流密度に対するこの条件内に保持される。

【0025】残りの曲線は、寄生トランジスタQ2が存在し、スナップバックするようになる場合に、起こり得る2つの許容可能な条件を例示する。曲線Y及びY'は、通常の動作電圧範囲外にある持続電圧にスナップバックするトランジスタQ2を示す。曲線Z及びZ'は、動作電圧範囲内にある電圧にスナップバックするが、電流に関しては高く、通常入力端子14における所定の電流値以上にあるトランジスタQ2を示す。ダイオードは、例えばミリ秒から秒までの長時間に渡ってそのような高い電流を処理することはできないが、ESDパルスにおいて典型的であるナノ秒からマイクロ秒までの範囲の短時間であれば、高電流に耐えることができる。

【0026】図12に示される回路の種々の動作条件に対して必要とされる構成要素の大きさは、図33の表に要約される。

【0027】図33の表に示されるように、最大電圧が $V_{IN}(max) > V_{CC}$ である場合には、ダイオードD1のブレイクダウン電圧は、 $V_{IN}(max)$ の値に、 $\Delta V$ として示される製造公差を加えた値以上に設定されなければならない。これは、 $V_{IN}$ が順方向バイアスダイオード電圧降下(すなわち約0.7V)より大きい値だけ $V_{CC}$ を上回ることが想定されないため、ダイオードD1が $V_{CC}$ より大きいブレイクダウン電圧を有する必要がないという点で、図1Aに示される従来の回路とは異なる。しかしながら図12の回路を用いる場合、 $V_{CC}$ は5Vであり、例えばダイオードD1が1.3Vダイオードであることが要求される場合には、 $V_{IN}$ は1.2Vと同レベルに電圧を上げるようにする。そうでないと、 $V_{IN}$ が6V程度になると、ダイオードD1は導通し始めてしまうであろう。

【0028】ダイオードD3のブレイクダウン電圧は $V_{CC}$ のレベルに基づいており、保護回路が種々の供給電圧に対して用いられる場合には変更することができる。図33の表では、 $V_{CC}(max)$ は所定最大供給電圧を示しており、さらに $\Delta V$ が製造公差を示している。ダイオードD3のブレイクダウン電圧は $V_{CC}(max) + \Delta V$ を上回らなければならない。

【0029】負の最大電圧 $V_{IN}$ は-0.7Vである(ダイオードD1が順方向に導通し始める)。従って、ダイオードD2Aのブレイクダウン電圧は $V_{CC}(max) + 0.7V$ 以上に設定されなければならない。ダイオードD2B間の順方向電圧降下は、保護帯域として機能し、この場合製造公差は不要である。

【0030】ダイオードD2Bのブレイクダウン電圧は $V_{IN}(max) - V_{CC}(min)$ 以上に設定されなけれ

である。ダイオードD2A間の順方向電圧降下は有効な保護帯域を与え、それにより製造公差は不要になる。

【0031】ダイオードD2A及びD2Bが寄生バイポーラトランジスタQ2として機能する場合には、スナップバックを生じる場合のトランジスタの持続電圧は、ダイオードD2A及びD2Bのブレイクダウン電圧に等しくなければならない。

【0032】 $V_{IN}$ が-0.7Vより低い電圧に遷移できるようにしたい場合には、ダイオードD2A及びD2Bに相当する逆向き接続のダイオードが、ダイオードD1 10の代わりに用いられるであろう。

【0033】図14A及び14Bは、ESD保護回路60に加えられる2つの極限条件を示している。図14Aでは、 $V_{IN}$ はその最大値にあり、 $V_{CC}$ はその最小値にある。図14Bでは、 $V_{CC}$ はその最大値にあり、 $V_{IN}$ は-0.7Vのその最小値にある。

【0034】図15-19は本発明のいくつかの実施例の断面図を示す。

【0035】図15では、P-エピタキシャル(epi)層902がP-基板900上に成長する。ダイオードD2A及びD2BはN-ウェル904内にP+領域906及び908を用いて生成される。ダイオードD1はN+領域916を用いて形成され、ダイオードD3は第2のN-ウェル910内にP+領域915を用いて形成される。P基板900は接地される。N+領域916(ダイオードD1のカソード)及びP+領域906(ダイオードD2Aのアノード)は金属層924を介して接続され、金属層924は、 $V_{IN}$ が接続される上側金属層914と接触する。この設計は、インターデジタルレイアウトを介する単層金属プロセス、或いは多層金属プロセスにおいて実現されることができる。供給端子 $V_{CC}$ は、金属層918を介してP+領域908(ダイオードD3のアノード)及びN+コンタクト領域912(ダイオードD3のカソード)に供給される。P+領域915(ダイオードD3のアノード)は金属層920によりグラウンドに接続される。また金属層914は金属コンタクト922により保護される回路(トランジスタのゲートとして示される)に接続もされる。ダイオードD2A及びD2Bは共通のカソード(N-ウェル904)に共有されるため、付加的なN埋込層926がN-ウェル904の下側に形成され、横方向、或いは縦方向のいずれかの、あらゆる寄生PNPバイポーラ動作を抑圧、或いは制御する。同様の付加的なN埋込層928がN-ウェル910の下側に形成される。

【0036】ダイオードD1のブレイクダウン電圧は、P-epi層902内のドーパント濃度並びにカソードの下側のP-フィールドドーパント(PFD)領域909及び911からのドーパントによるP型ドーパントの横方向拡散により制御される。PFD領域は通常フィー

イオードD2A及びD2B、並びにダイオードD3のアバランシェブレイクダウン電圧は、それぞれN-ウェル904及び910のドーパント濃度により、或いはこれらのダイオードの絶縁されたアノードと接触するか或いは周囲をなすフィールド酸化物領域からのN型フィールドドーパントの導入により制御される。

【0037】図16に示される実施例は図15に示される実施例と同様であるが、ダイオードD2A及びD2Bがそれぞれ個別のN-ウェル932及び930内に形成される点が異なる。金属層942がP+領域934(ダイオードD2Bのアノード)及びP+領域938(ダイオードD2Aのアノード)と接触する。 $V_{IN}$ は金属層924を介してN+領域936(ダイオードD2Bのカソード)に供給され、 $V_{CC}$ は金属層918を介してN+領域940(ダイオードD2Aのカソード)に供給される。個別の付加的なN埋込層944及び946がそれぞれN-ウェル930及び932の下側に形成される。図16では、寄生横形PNPバイポーラトランジスタは削除されるが、N埋込層944及び946は、なおも寄生縦形PNPバイポーラ動作を抑圧するために必要とされる。

【0038】図17の実施例では、ダイオードD2A及びD2BはN-epi層950内に形成される。P+領域952及び954はそれぞれダイオードD2A及びD2Bのアノードを形成する。N+シンカー領域956がダイオードD2A及びD2Bのカソードに挿入され、スナップバック問題が生じる場合には、寄生横形バイポーラ動作を阻止する。N埋込層958はダイオードD2A及びD2Bの下側に形成されることが好ましい。ダイオードD1は、P埋込層962を介してP基板900に接続されるP-ウェル960内に形成される。ダイオードD3は、N埋込層966によりP基板900から絶縁されるP-ウェル964内に形成される。P基板900を通過して電流が流れることは好ましくないため、これはダイオードD3が電流を流すという仮定のもとに行われる。電流がダイオードD3を通過して流れるものと考えない場合には、P-ウェル964がP基板900に接続されることもできる。同様に、ダイオードD1が電流を流すと考えられる場合には、(図17に示されるように)P基板900内にダイオードD1を形成しないことが好ましい。代わりにこの場合には、ダイオードD3が形成される方法によりダイオードD1を構成することが好ましい。

【0039】図18の実施例は再びN-epi層950を有する。ダイオードD2A及びD2BはP-ウェル970内にN+領域972及び974として形成される。P-ウェル970は、N埋込層978上に配置されるP埋込層976上に位置する。この種の構造体は通常のBiCMOSプロセスにおいて処理され、その結果2つの

## 11

トランジスタはN+領域972及び974からなり、縦形NPNTランジスタは、N+シンカー領域980を介してV<sub>cc</sub>に接続されるN埋込層978からなる。ダイオードD1の構造は図17の構造と同様であるが、ダイオードD3のアノードはP埋込層982を介してP基板900に接続される。

【0040】また、ダイオードはポリシリコン内に形成される場合もある。図19は1つの実施例を示しており、その中でダイオードD1はポリシリコン層992内に形成され、ダイオードD2A及びD2Bはポリシリコン層994内に形成され、ダイオードD3はポリシリコン層996内に形成される。ポリシリコン層992、994及び996はフィールド酸化物領域991上に配置されており、フィールド酸化物領域991は半導体基板993の上面に形成されている。V<sub>in</sub>を通す金属層990は、フィールド酸化物領域991の上面に重畳するものとして示されるダイオードD1及びD2Bのカソード並びにMOSFETのゲート（図示せず）に接触する。V<sub>cc</sub>は金属層998によりダイオードD2A及びD3のカソードに加えられ、ダイオードD1及びD3のアノードはグラウンドに接続される。

【0041】図20-23は、それぞれ図15-18に示される実施例の等価回路の回路図である。文字「P」を付されたダイオードは通常の従来のICプロセスに対する寄生ダイオードである。

【0042】図24-30はダイオードD2AおよびD2Bに対する種々の構造体の平面図である。いずれの場合においても、斜線の領域はP型であり、交差線領域はN+型であり、さらに白抜きされた領域はN型である。しかしながら、これらの極性は逆であってもよいということは理解されたい。コンタクトは図24-30には示されないが、いずれの場合においてもダイオードD2A及びD2Bのアノードとして機能するP型領域に電氣的に接触するコンタクトが存在する。一般にそれらは「ベースコンタクト」であり、N+領域に電氣的に接触する。一般に、コンタクト並びに金属被覆ができるだけ多くの拡散部を覆い、ダイオードが周囲全体に沿って等電位なるようにする。寄生バイポーラトランジスタを含むダイオードの場合には、コンタクト及び金属短絡部の面積は、ベース抵抗を変化させ、それによりバイポーラトランジスタがスナップバックを生じる電流を制御するように減少させることができる。

【0043】図24では、ダイオードD2A及びD2Bのアノードは、重くドーパされたN+環状部により包囲されるN-ウエル或いはN-e p i領域内のP型領域として示される。このことにより寄生PNP動作させることができるが、N+環状部によりキャリアを含むようになるであろう。図25は類似であるが、ここではN+環状部は、バイポーラ動作を意図的に抑圧するため

## 12

あり、N+環状部は、ある程度バイポーラ動作を抑圧するために、P型領域間に部分的に挿入される。図27は別の類似の構造体であり、N+環状部は、バイポーラ動作を抑圧するように、P型領域間に分割配置される。

【0044】図28は円形の場合を示しており、重くドーパされたN+環状部が2つのアノードP型環状部間に挿入される。接触していない場合であっても、N+環状部はバイポーラ動作を部分的に抑圧する。図29は中間的な場合を示しており、N+環状部が分割配置され、バイポーラ動作の抑圧の度合いを制限する。図30は別の円形の場合を示しており、P型アノードが互いに向かい合い、N+環状部の内部に配置され、それによりバイポーラ動作を増幅するが、N+環状部内の表面付近にバイポーラの少数キャリアを含んでいる。図24-29では、寄生バイポーラトランジスタは横形或いは縦形（埋込層が縦形デバイスのエミッタ或いはコレクタとして機能すると仮定する）のいずれであってもよい。図31はダイオードD2A及びD2Bのバイポーラ動作を変更することにより得ることができる特性の変化を示すグラフである。曲線z、y並びにxは、バイポーラ動作がベースコンタクト面積を拡大することにより促進されるときに寄生バイポーラの電流-電圧特性を示す。デバイスが持続電圧V<sub>sus</sub>にスナップバックする電流は、バイポーラ動作が増幅されるに従って増加する。曲線wはベースコンタクトがない極端な場合を示しており、デバイスはブレイクダウンと同時にV<sub>sus</sub>にスナップバックするであろう。ベースコンタクトの面積はベース抵抗を電氣的に変化させる。曲線zにより示される場合では、コンタクトは十分に分散され、ベース抵抗は、スナップバックを生じなくても高電流に達することができるように低い値となる。曲線xにより示される場合では、ベース抵抗は高くなり、スナップバックを開始するために電流はほとんど必要とされない。曲線yで示される場合は、曲線x及びzにより示される場合の中間の状態である。曲線wにより示される場合には、ベースは全く接触しないか、或いは非常に抵抗性の高い経路を介してのみ接触され、漏れ電流のみでトランジスタをスナップバックさせるのに十分である。

【0045】上記の実施例は例示であって制限するものではない。多くの別の実施例が当業者には明らかであろう。例えば、V<sub>in</sub>がグラウンドレベルより低いダイオード電圧降下より大きく電圧降下するようにしたい場合には、ダイオードD2A及びD2Bと同様のダイオードを入力端子とグラウンドとの間に接続することができる。そのような実施例が図32に示されており、ダイオードD1A及びD1Bが入力端子14とグラウンドとの間に接続されている。

【0046】

【発明の効果】以上のように、本発明に従って、逆向き



電圧より高い入力電圧、或いはグラウンドレベルより低い入力電圧が回路に加えられる場合であっても、回路の通常の動作領域外にある所定の電圧になるまで導通しないESD保護回路を提供することができる。

#### 【図面の簡単な説明】

【図1】A及びBからなり、AはCMOSインバータを保護するために配置される従来のESD保護回路の回路図であり、BはAに示される回路の入力及び出力電圧を示すグラフである。

【図2】一般的な回路を保護するために配置された従来のESD保護回路の回路図である。

【図3】図2の回路に加えられる種々のESDパルスである。

【図4】図2の回路に加えられる種々のESDパルスである。

【図5】図2の回路に加えられる種々のESDパルスである。

【図6】図2の回路に加えられる種々のESDパルスである。

【図7】図2の回路に加えられる種々のESDパルスである。

【図8】A乃至Cからなり、A及びBは図2～図7に示される供給電圧とグラウンドとの間のダイオードの等価回路図（それぞれバイポーラトランジスタ及びMOSFETの形式において示す）であり、CはA及びBのダイオードを介して流れる電流を電圧の関数として示すグラフである。

【図9】入力電圧がDC/DCコンバータにより電源供給されるインバータにより生成されるESD保護回路及び保護される回路の回路図である。

【図10】A及びBからなり、それぞれ図9に示される回路における電圧及び電流を示すグラフである。

【図11】A及びBからなり、Aは保護される回路及び本発明に従ったESD保護回路を示すブロック図であり、BはAのESD保護回路を介して流れる電流を電圧の関数として示すグラフである。

【図12】本発明に従ったESD保護回路の回路図である。

【図13】図12に示される回路の許容可能な動作条件を示すグラフである。

【図14】A及びBからなり、それぞれESD保護回路に加えられる極限条件を示す回路図である。

【図15】ダイオードがN-ウエル内にP+領域として形成されている集積回路による実施例の断面図である。

【図16】各ダイオードがN-ウエルを有するPN接合部を形成するP+領域として形成される集積回路による実施例の断面図である。

【図17】ダイオードがN-エピタキシャル層内のP+領域として形成されている集積回路による実施例の断面

【図18】ダイオードがP-ウエル内にN+領域として形成されている集積回路による実施例の断面図である。

【図19】ダイオードがフィールド酸化物領域を覆うポリシリコン層内に形成されている集積回路による実施例の断面図である。

【図20】図15に示される実施例に対する等価回路図である。

【図21】図16に示される実施例に対する等価回路図である。

【図22】図17に示される実施例に対する等価回路図である。

【図23】図18に示される実施例に対する等価回路図である。

【図24】集積回路内のダイオードの種々の形状の平面図である。

【図25】集積回路内のダイオードの種々の形状の平面図である。

【図26】集積回路内のダイオードの種々の形状の平面図である。

【図27】集積回路内のダイオードの種々の形状の平面図である。

【図28】集積回路内のダイオードの種々の形状の平面図である。

【図29】集積回路内のダイオードの種々の形状の平面図である。

【図30】集積回路内のダイオードの種々の形状の平面図である。

【図31】ダイオードのバイポーラ動作がそのスナップバック特性に作用するように如何に調整されるかを示すグラフである。

【図32】信号入力端子とグラウンドとの間に直列に接続される第2のダイオード対を含む別の実施例の回路図である。

【図33】図12に示される回路の種々の動作条件に対して必要とされる構成要素の大きさを示す表である。

#### 【符号の説明】

- 10 ESD保護回路
- 12 インバータ
- 14 入力端子
- 16 出力端子
- 20 一般的な回路
- 22 回路網
- 40 DC/DCコンバータ
- 42 CMOSバッファ段
- 44 バッテリ
- 60 ESD保護回路
- 900 P-基板
- 901 フィールド酸化物領域
- 902 P-エピタキシャル層



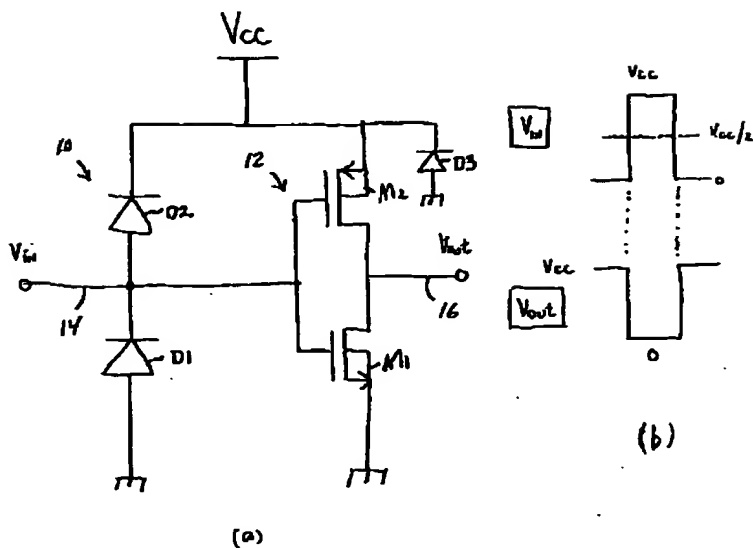
15

904 N-ウエル  
 905 フィールド酸化物領域  
 906 P+領域  
 907 フィールド酸化物領域  
 908 P+領域  
 909 P-フィールドドローバント (PFD) 領域  
 910 N-ウエル  
 911 P-フィールドドローバント (PFD) 領域  
 912 N+コンタクト領域  
 914 上側金属層  
 915 P+領域  
 916 N+領域  
 918 金属層  
 920 金属層  
 922 金属コンタクト  
 924 金属層  
 926 N埋込層  
 928 N埋込層  
 930 N-ウエル  
 932 N-ウエル  
 934 P+領域  
 936 N+領域  
 938 P+領域  
 940 N+領域  
 942 金属層  
 950 N-エピタキシャル層  
 952 P+領域  
 954 P+領域

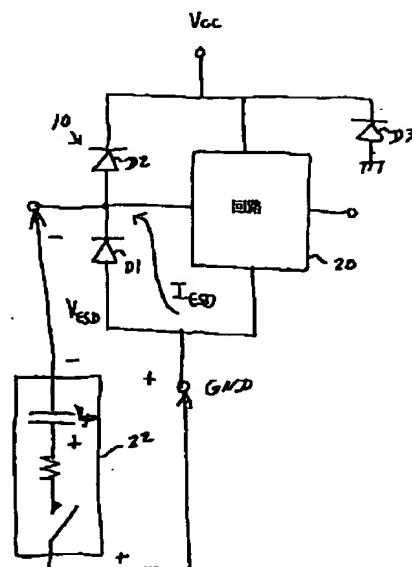
16

956 N+シンカー領域  
 958 N埋込層  
 960 P-ウエル  
 962 P埋込層  
 964 P-ウエル  
 966 N埋込層  
 970 P-ウエル  
 972 N+領域  
 974 N+領域  
 10 976 P埋込層  
 978 N埋込層  
 980 N+シンカー領域  
 982 P埋込層  
 990 金属層  
 991 フィールド酸化物領域  
 992 ポリシリコン層  
 993 半導体基板  
 994 ポリシリコン層  
 996 ポリシリコン層  
 20 998 金属層  
 C1 コンデンサ  
 D1~D4 ダイオード  
 D2A、D2B ダイオード  
 M1~M2 MOSFET  
 Q1、Q2 寄生トランジスタ  
 Q2A、Q2B トランジスタ  
 R1 抵抗  
 S1 スイッチ

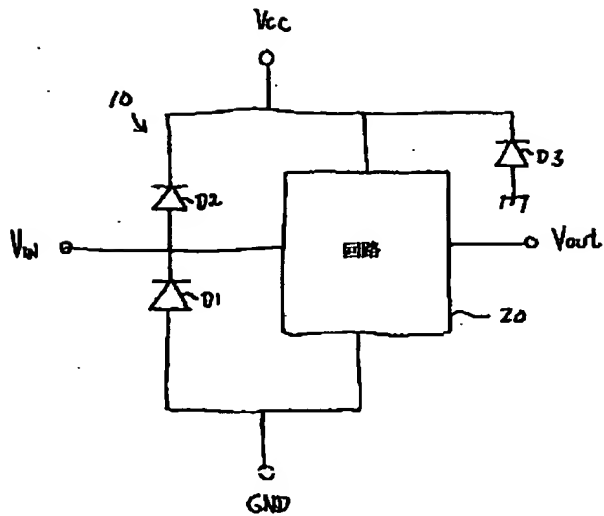
【図1】



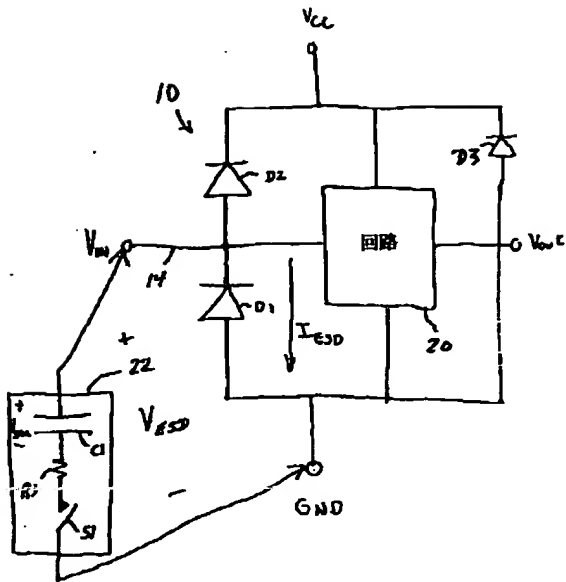
【図4】



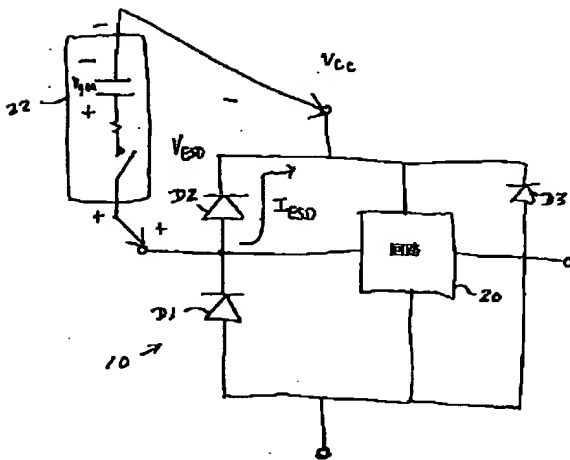
【図2】



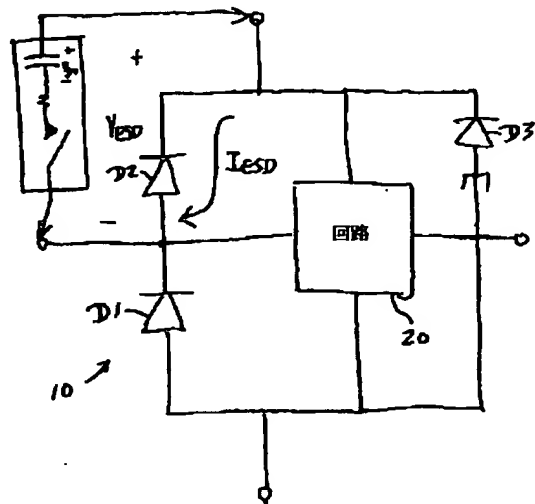
【図3】



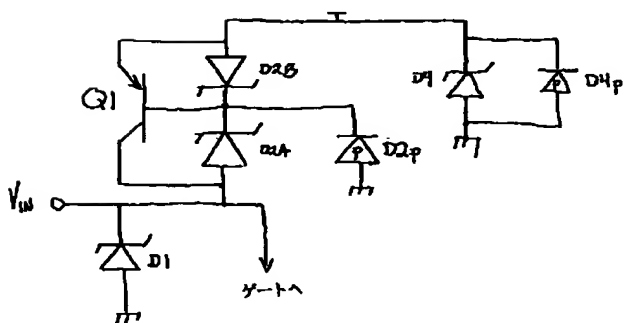
【図5】



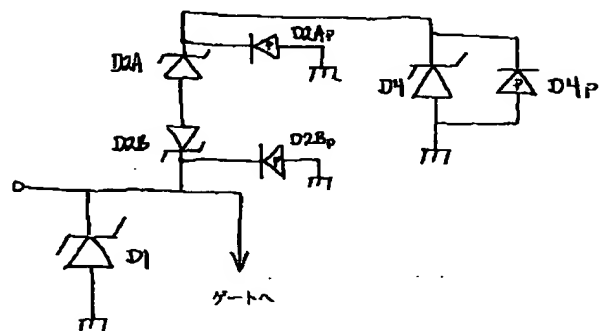
【図6】



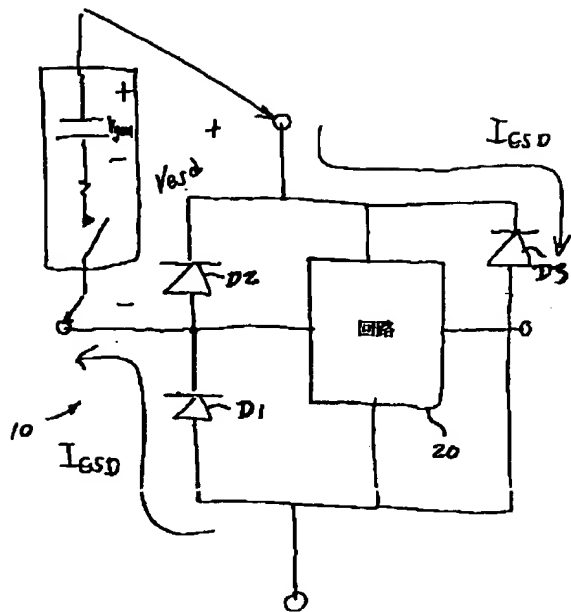
【図20】



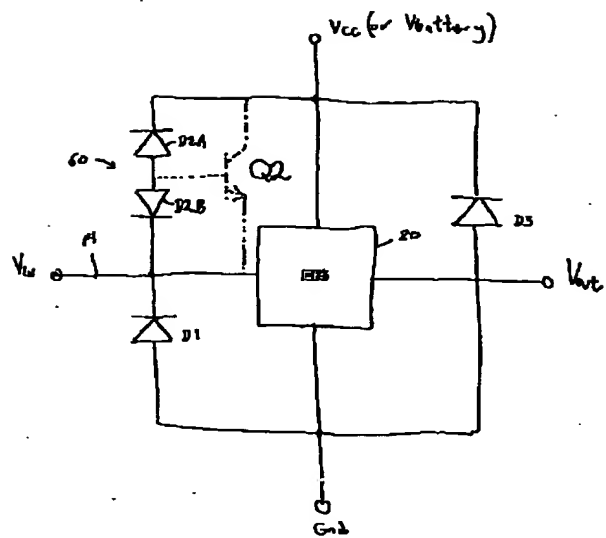
【図21】



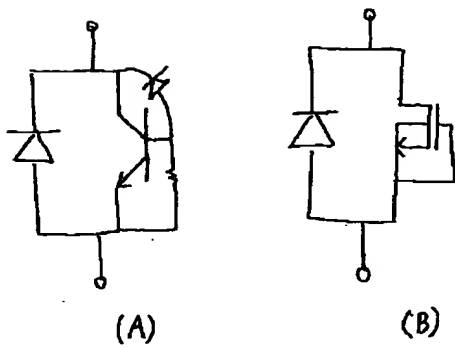
【図7】



【图 12】

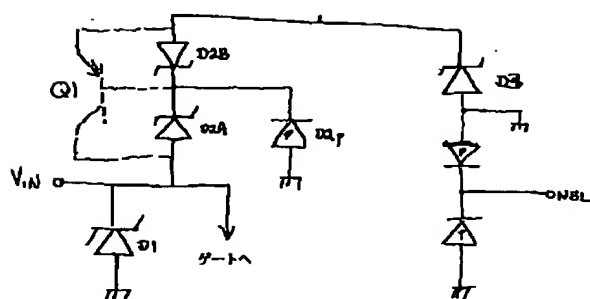


【図8】

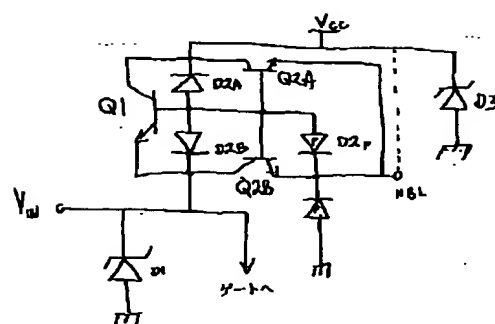


(c)

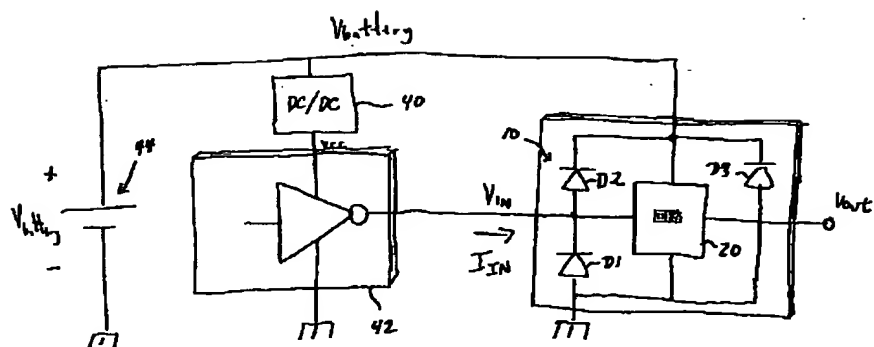
【图 22】



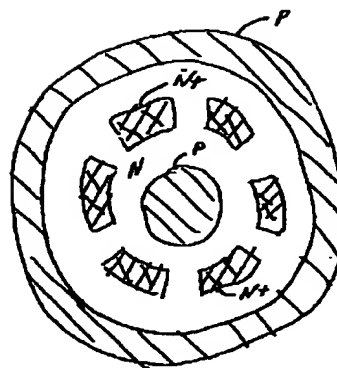
【图23】



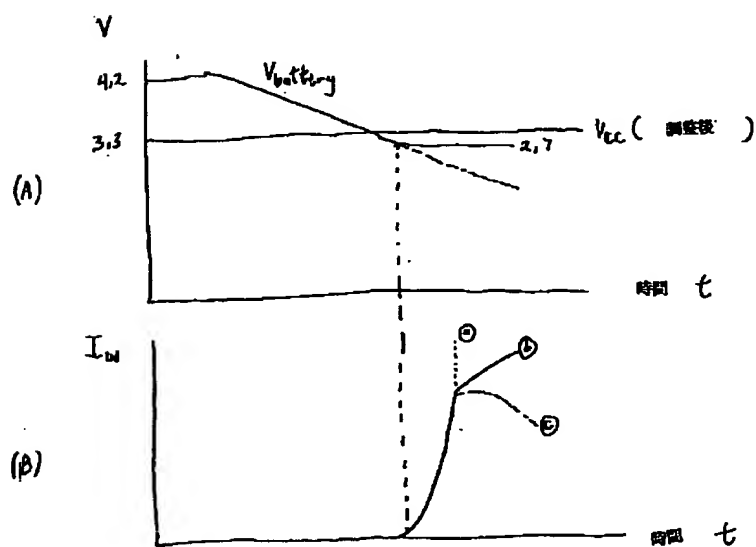
【図9】



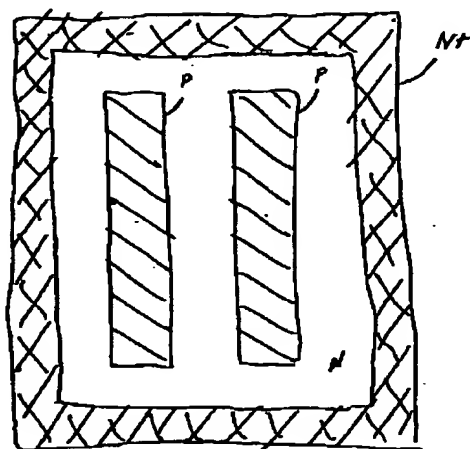
【図29】



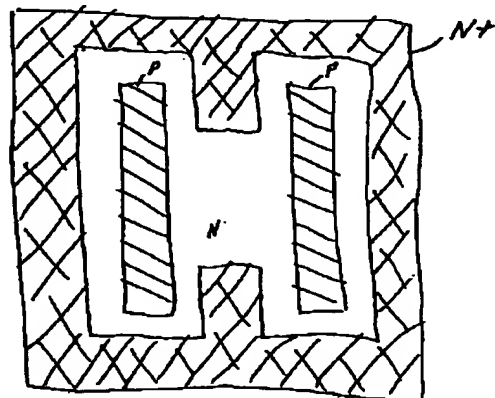
【図10】



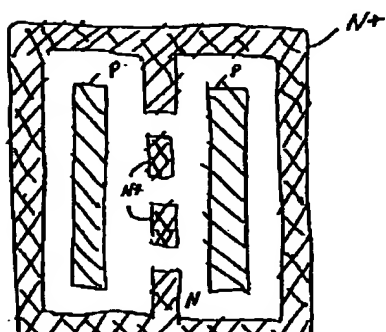
【図24】



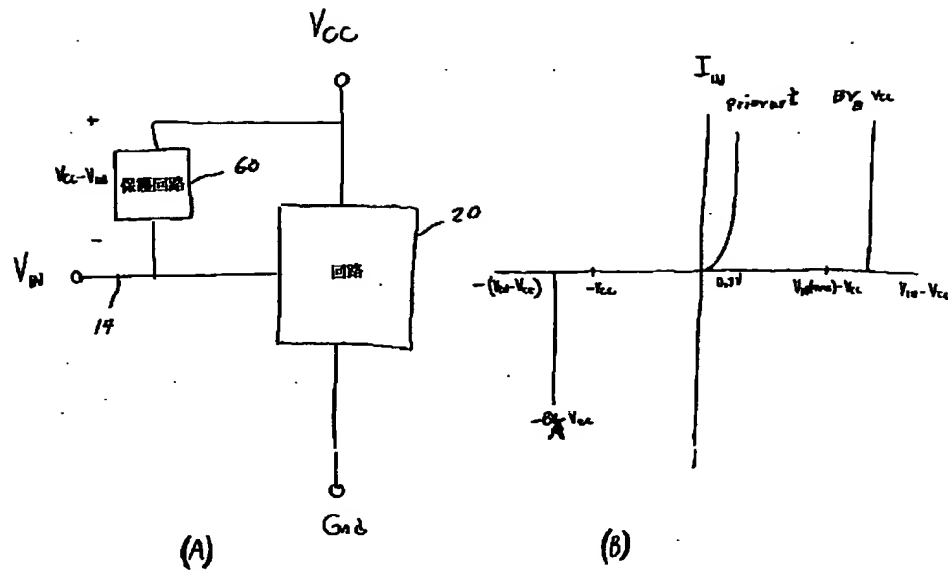
【図26】



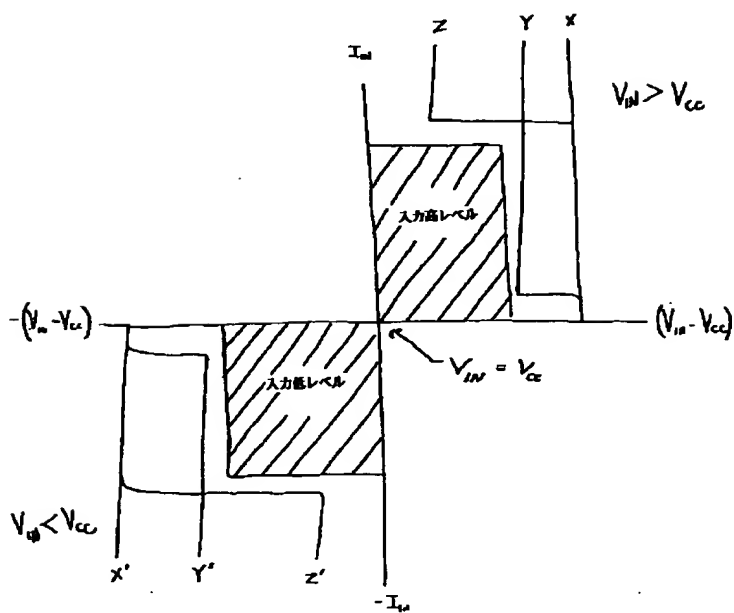
【図27】



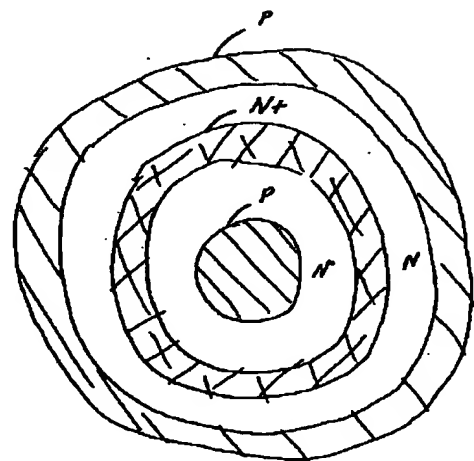
【図11】



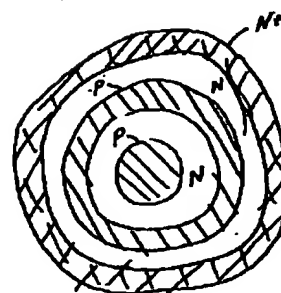
【図13】



【図28】

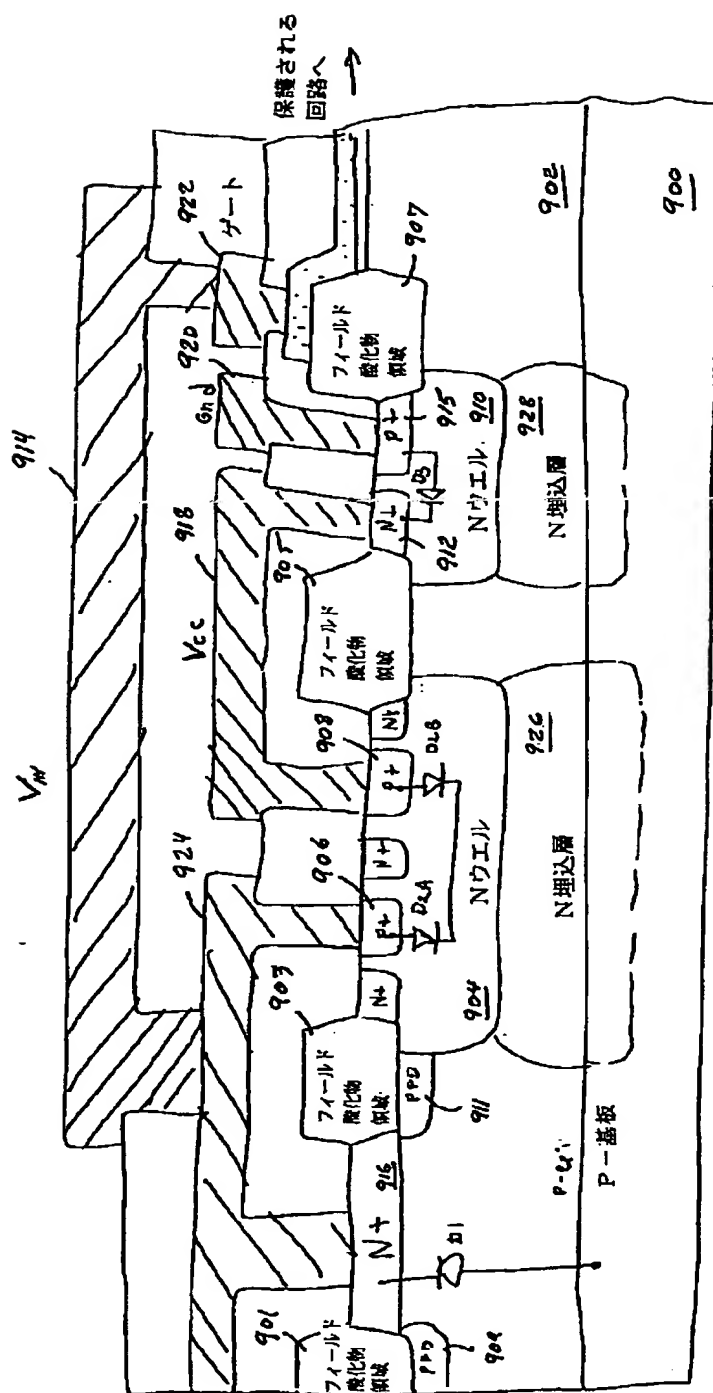


【図30】



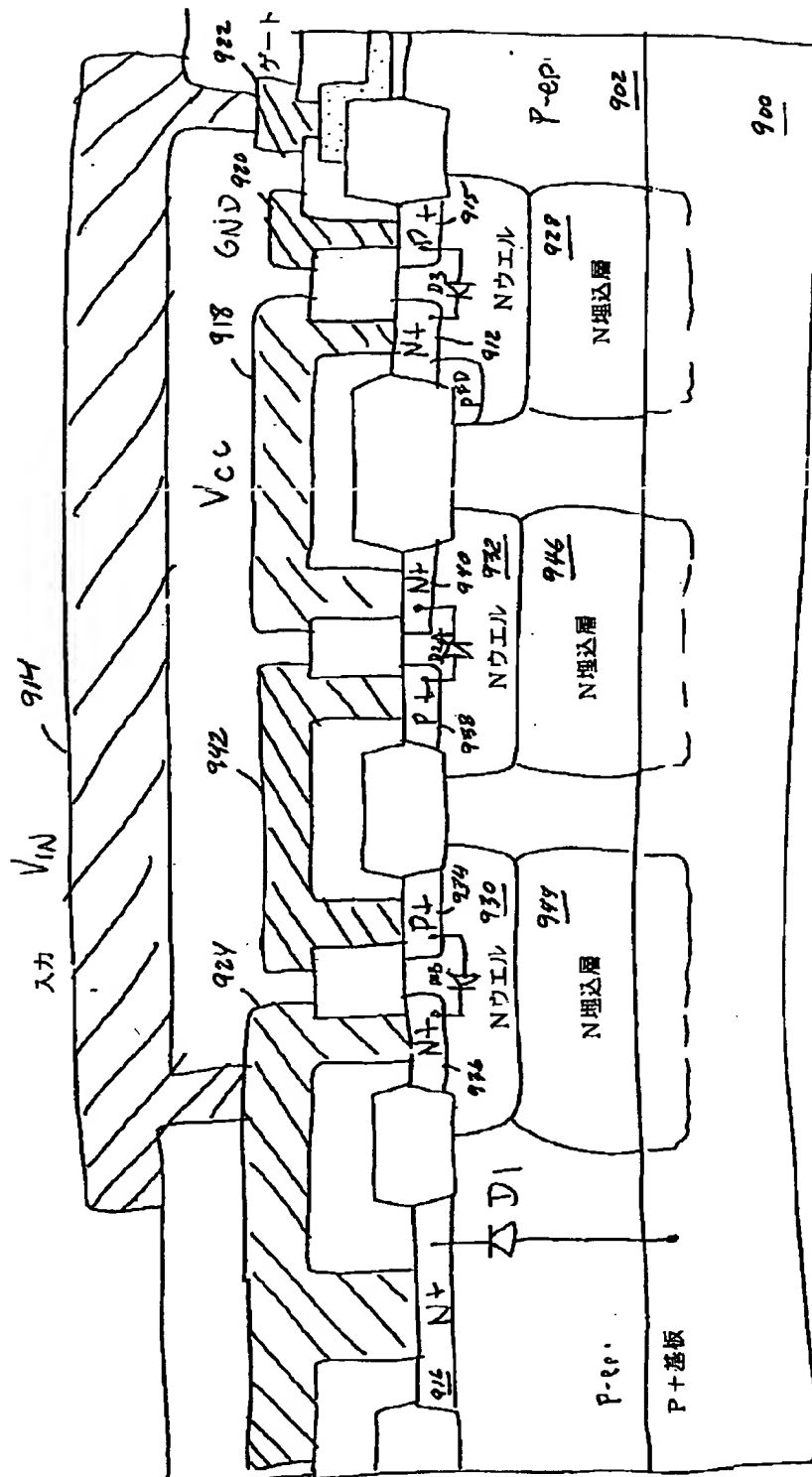


【図15】



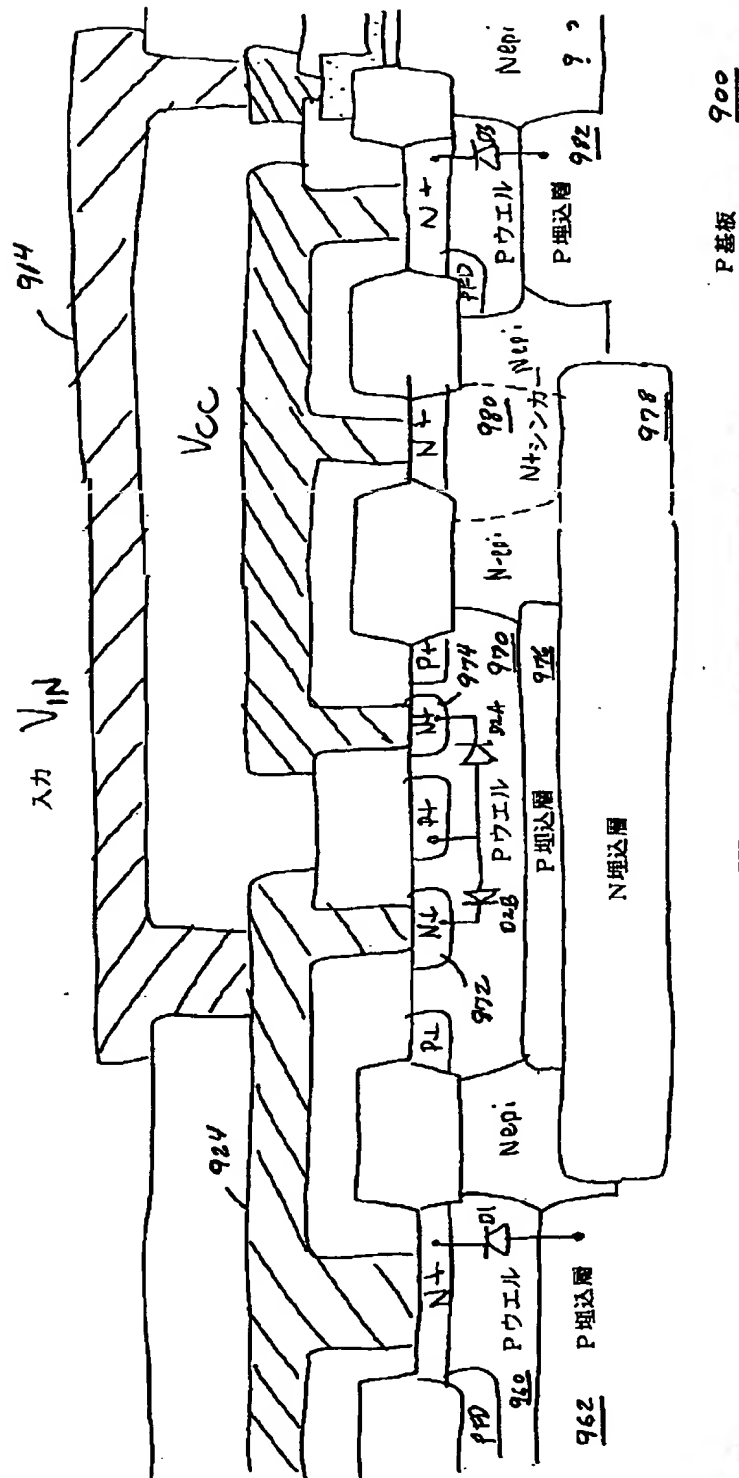


【図16】

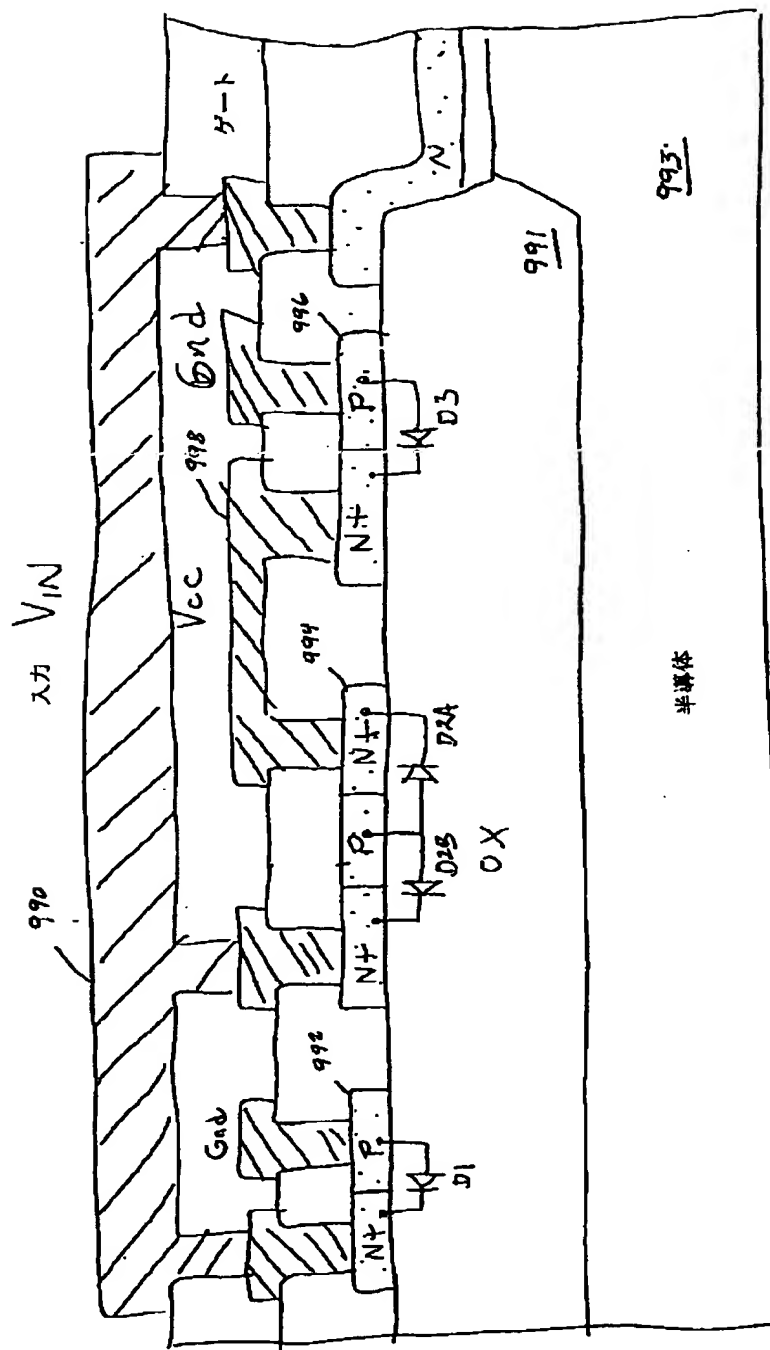




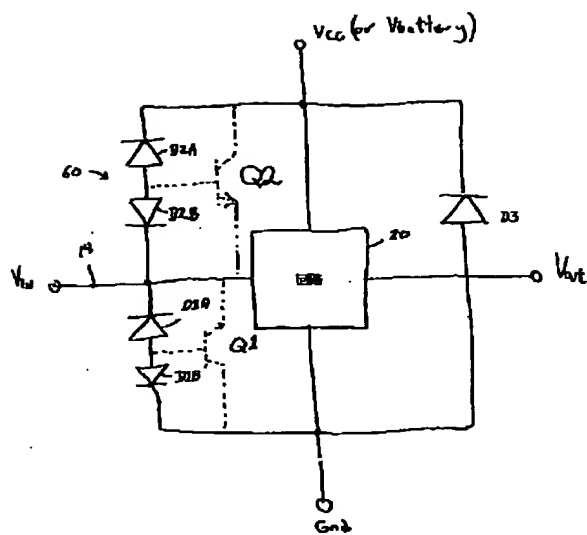
【図18】



【図19】



【図32】



【図33】

保護される ピン	素子	負の最大入力電圧 $V_{in}$	正の最大入力電圧 $V_{in}$	最小定格 ブレークダウン/持続電圧	供給電圧
$V_{in}$ to Gnd	D1		$V_{in} (max)$	$BV > V_{in} (max) + \Delta V$	$V_{cc} (min) > V_{in} (max)$ (condition)
	D2A	$-0.7V$		$BV > V_{cc} (max) + 0.7V$	$V_{cc} (max)$
	D2B		$V_{in} (max)$	$BV > V_{in} (max) - V_{cc} (min)$	$V_{cc} (min)$
$V_{in}$ to $V_{cc}$	Q2	$-0.7V$		$V_{eus1} > V_{cc} (max) + 0.7V + \Delta V$	$V_{cc} (max)$
			$V_{in} (max)$	$V_{eus2} > V_{in} (max) - V_{cc} (min) + \Delta V$	$V_{cc} (min)$
$V_{cc}$ to Gnd	D3	$-0.7V$ (condition)	$V_{cc} + 0.7V$ (condition)	$BV > V_{cc} (max) + \Delta V$	$V_{cc} (max)$

【手続補正書】

【提出日】平成11年6月28日

【手続補正1】

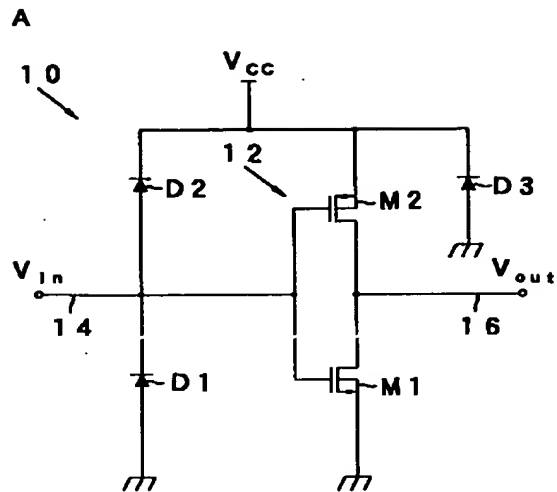
【補正対象書類名】図面

【補正対象項目名】全図

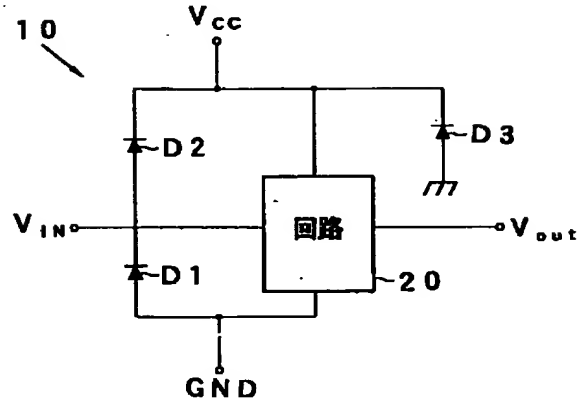
【補正方法】変更

【補正内容】

【図1】

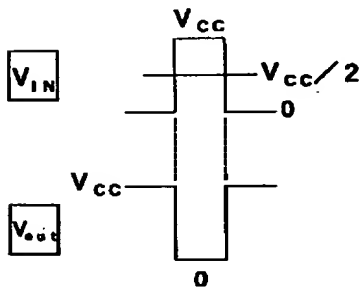


【図2】

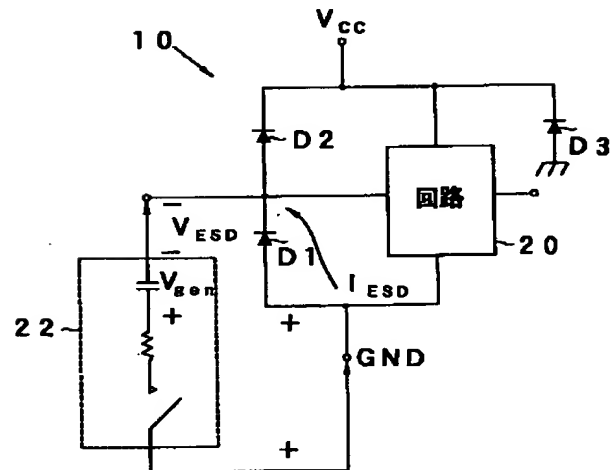


【図4】

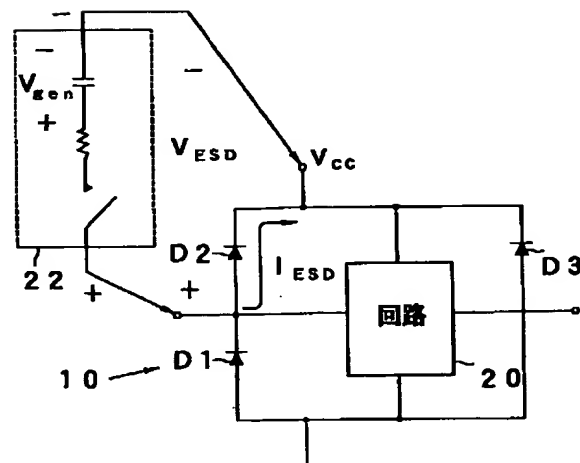
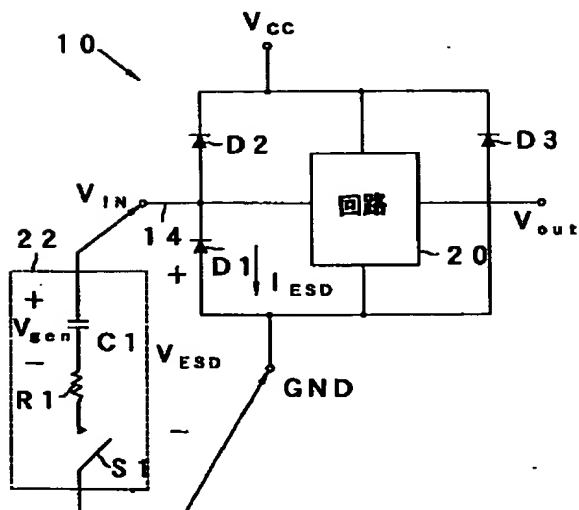
B



【図3】

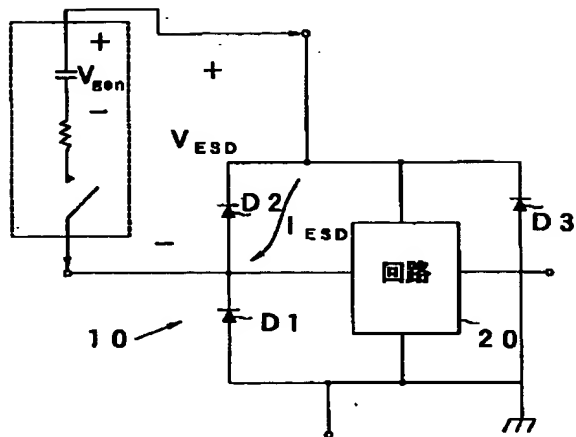


【図5】

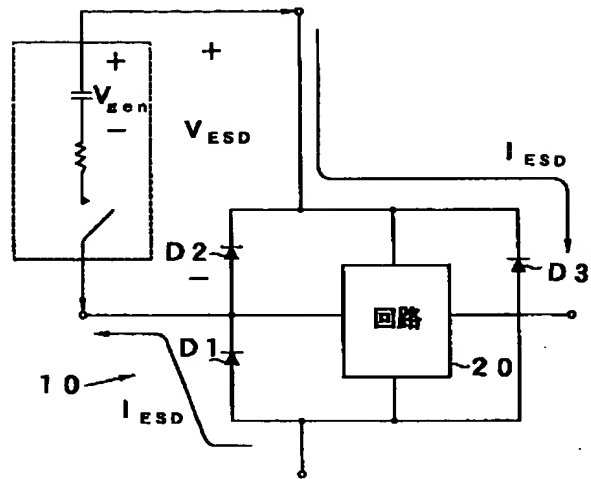




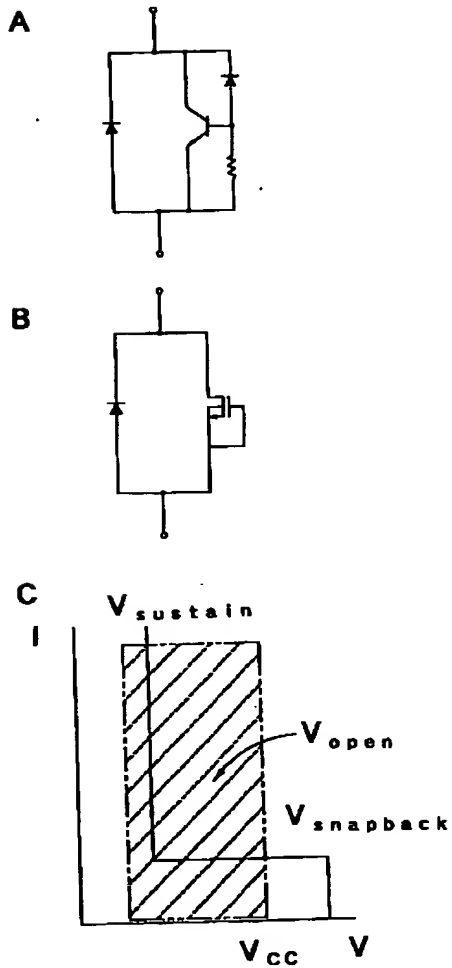
【図6】



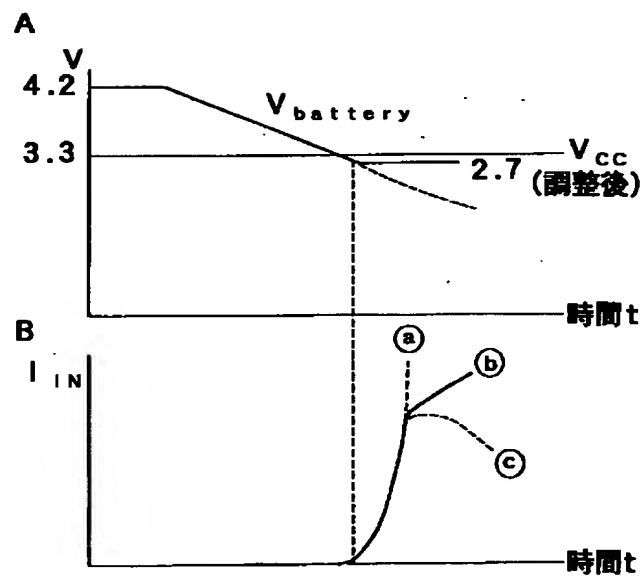
【図7】



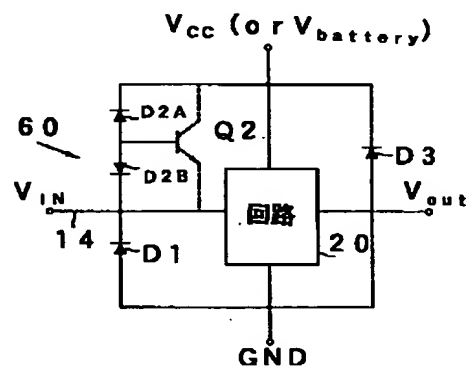
【図8】



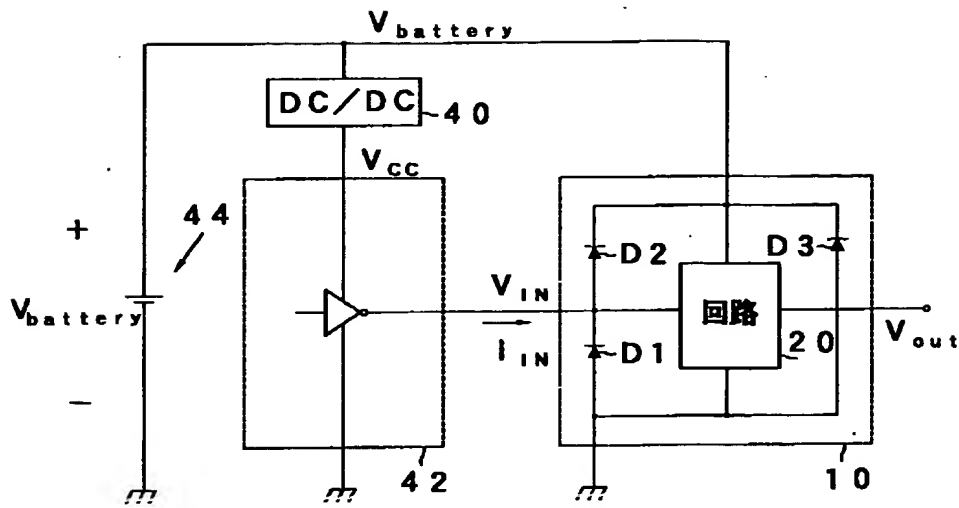
【図10】



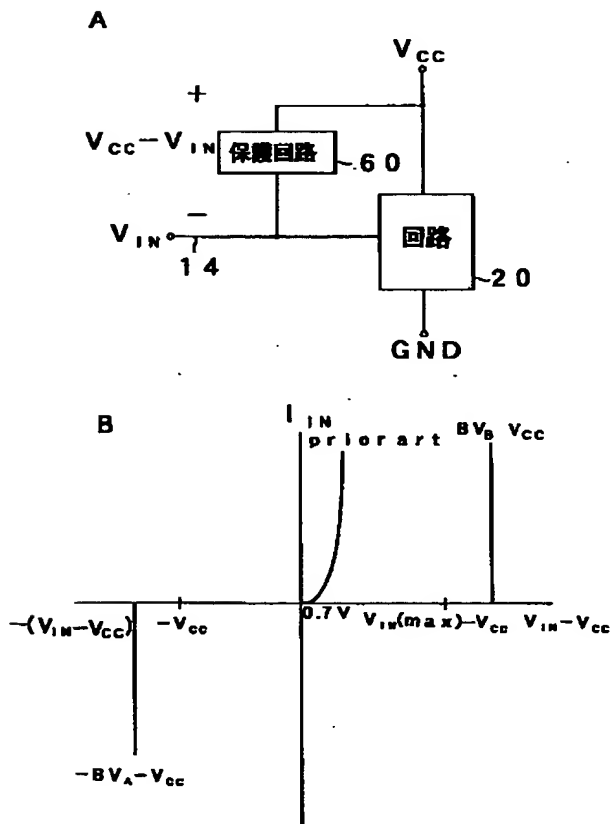
【図12】



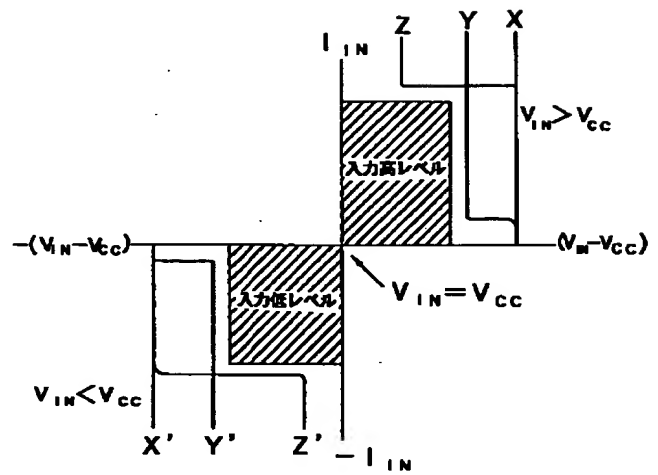
【図9】



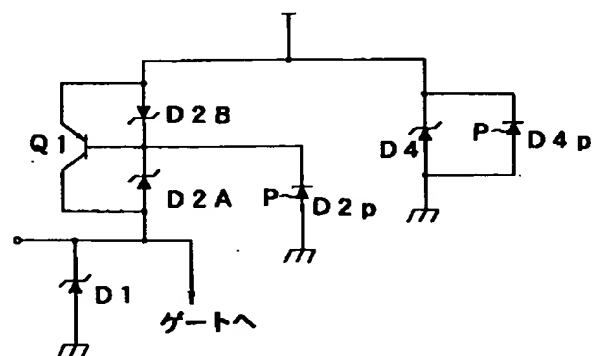
【図11】



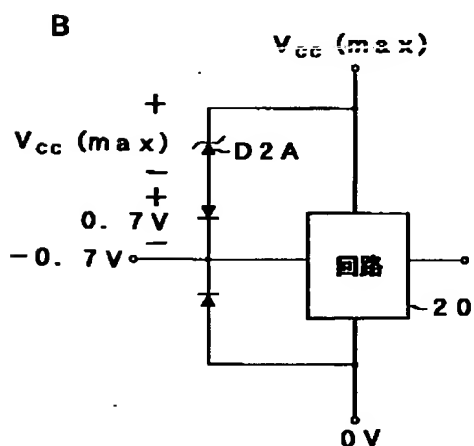
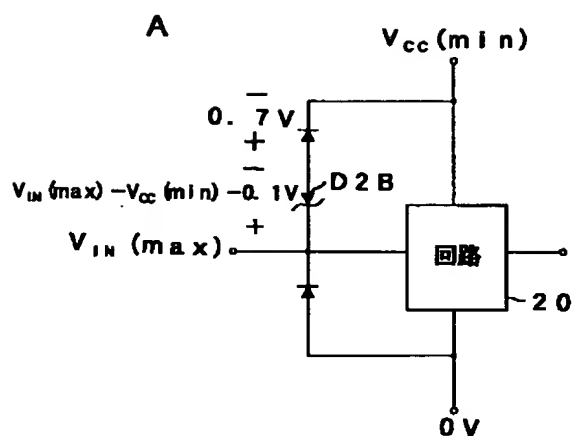
【図13】



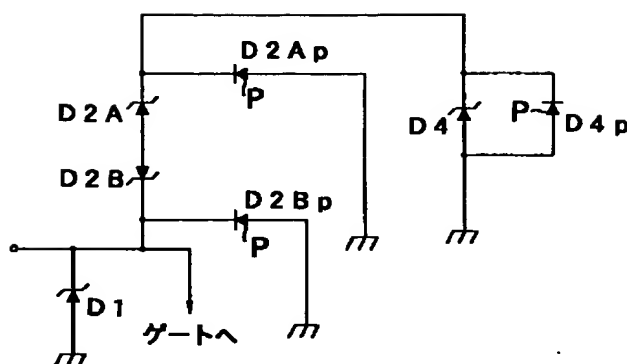
【図20】



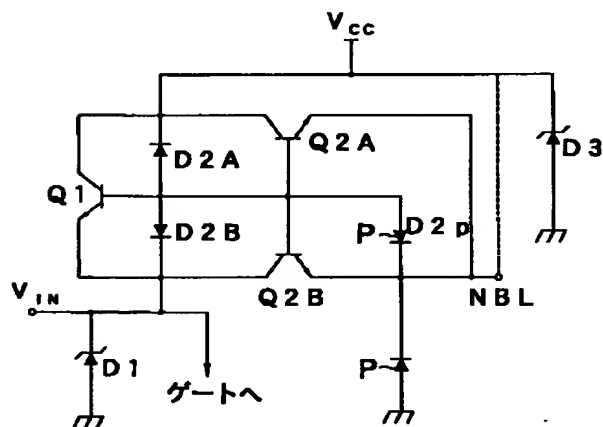
【図14】



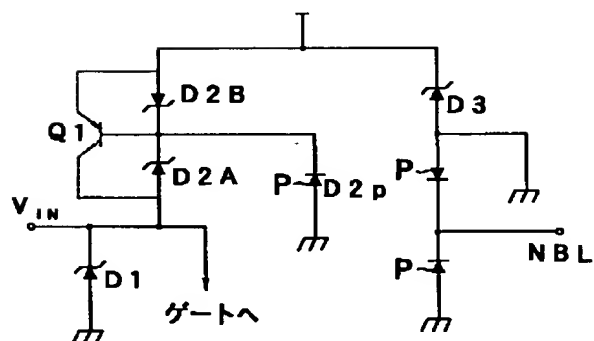
【図21】



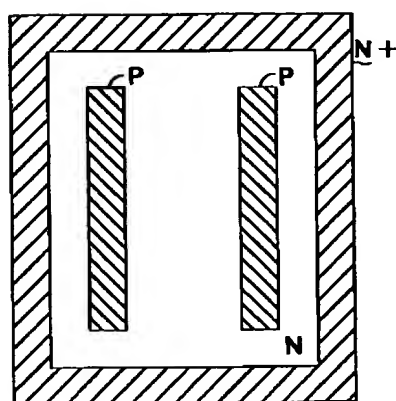
【図23】



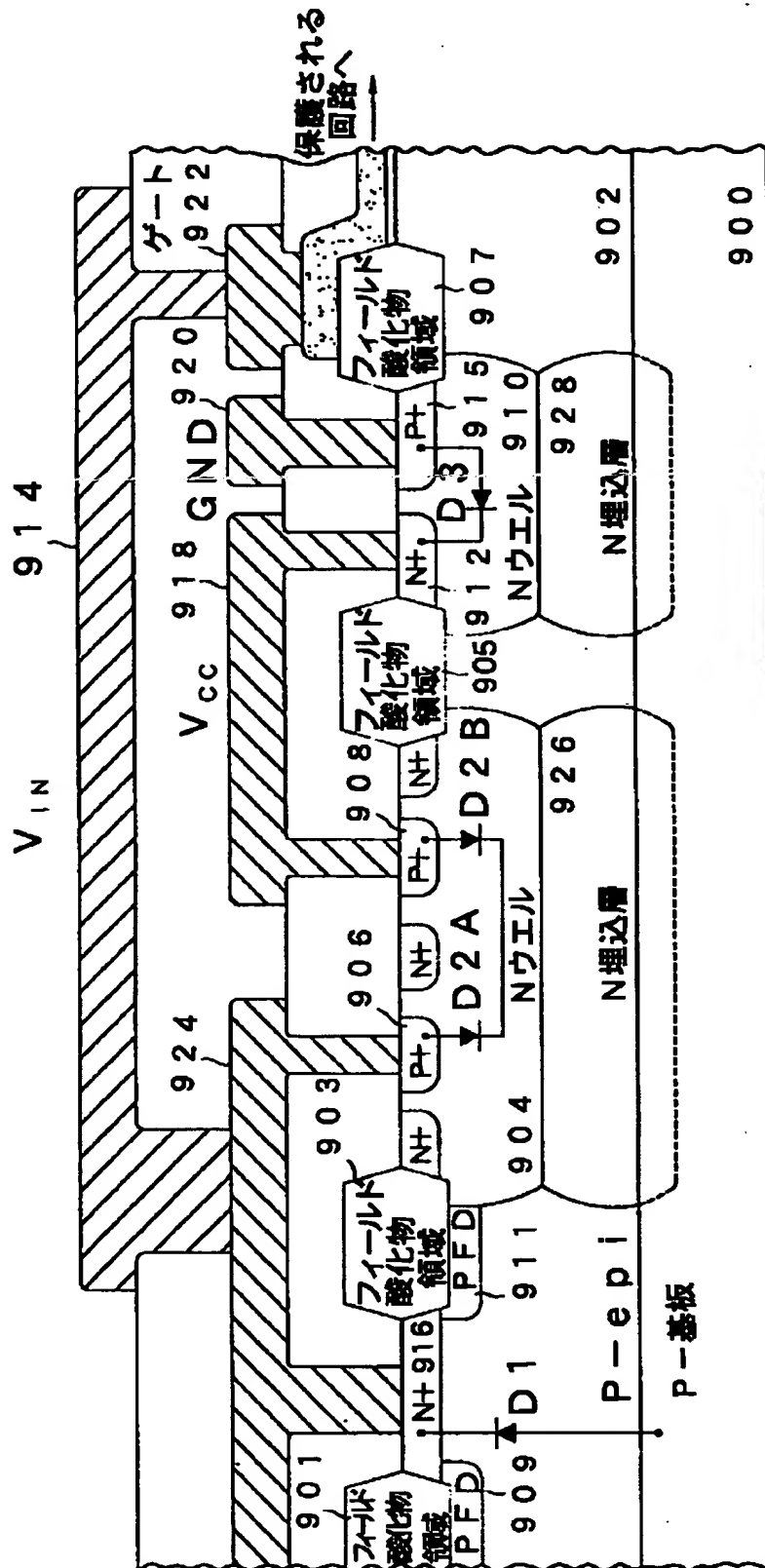
【図22】



【図24】

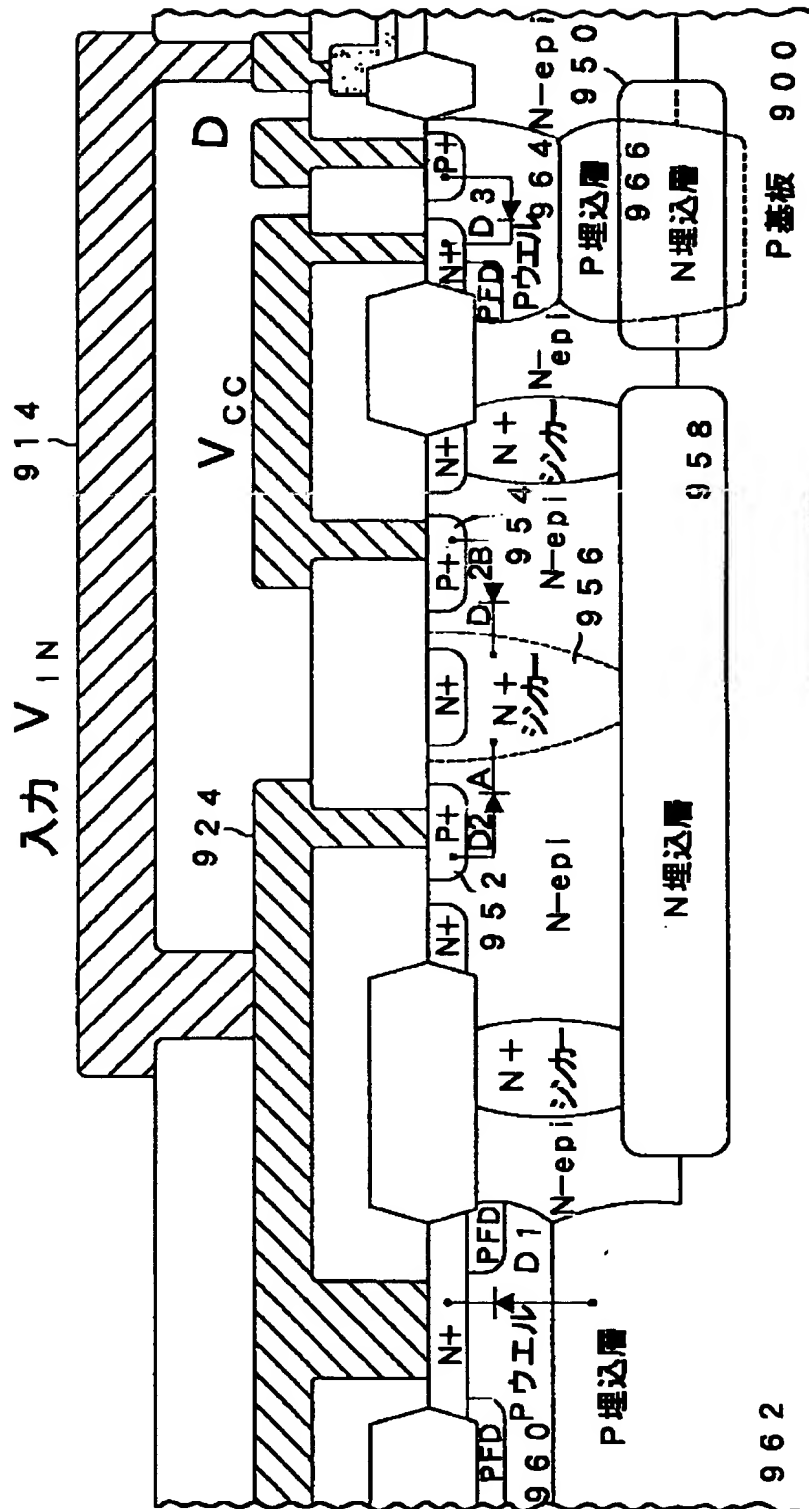


【図15】





【図17】

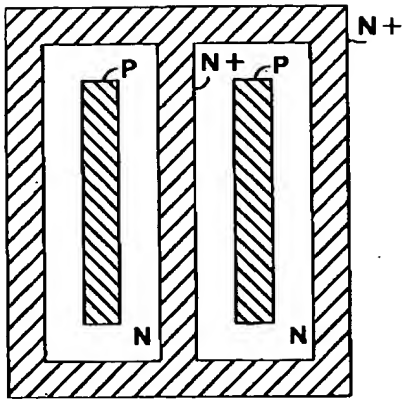




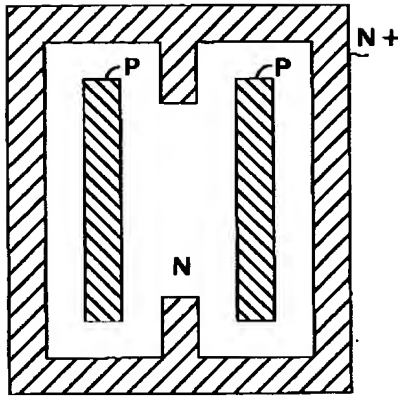




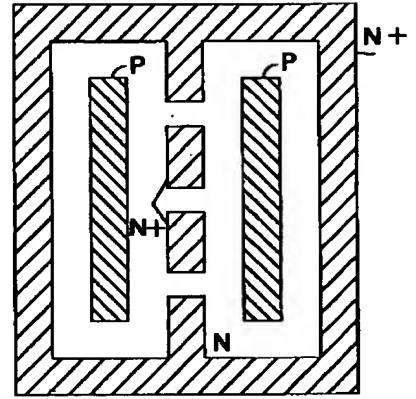
【図25】



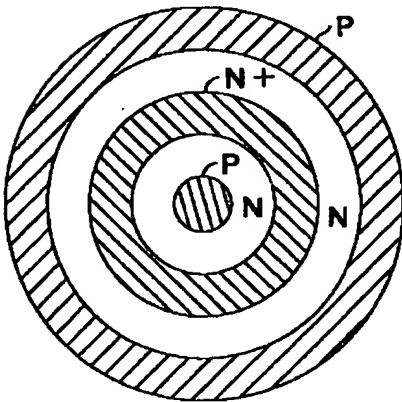
【図26】



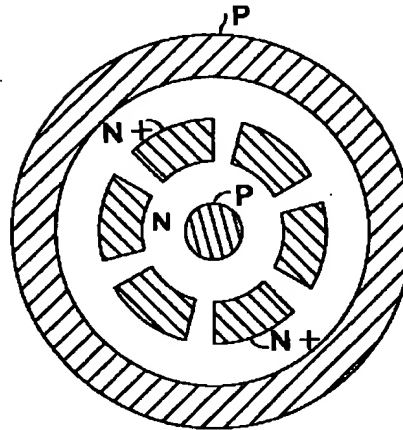
【図27】



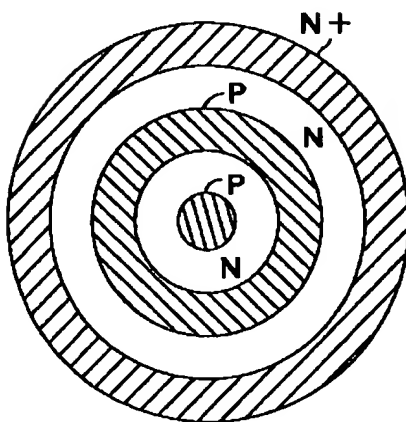
【図28】



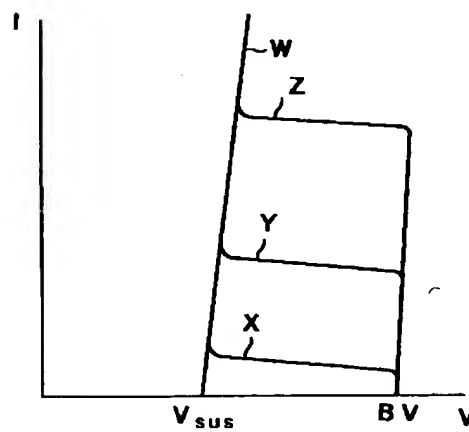
【図29】



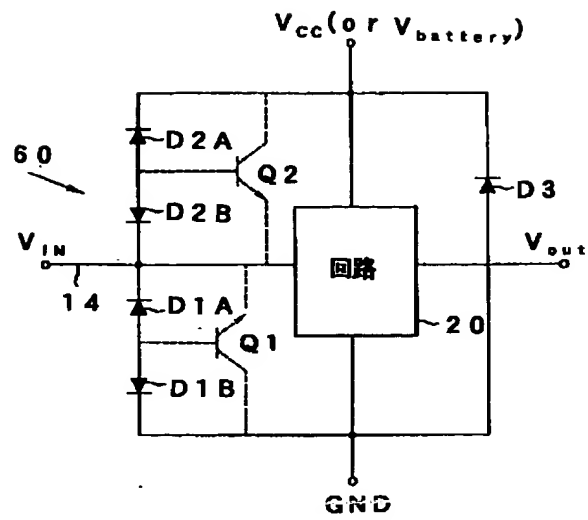
【図30】



【図31】



【図32】



【図33】

保護される ピン	素子	負の 最大入力電圧 $V_{in}$	正の 最大入力電圧 $V_{in}$	最小定格 ブレークダウン/持続電圧	供給電圧
$V_{in}$ to GND	D1		$V_{in} (max)$	$BV > V_{in} (max) + \Delta V$	$V_{cc} (min) > V_{in} (max)$ (condition)
	D2A	-0.7V		$BV > V_{cc} (max) + 0.7V$	$V_{cc} (max)$
$V_{in}$ to $V_{cc}$	D2B		$V_{in} (max)$	$BV > V_{in} (max) - V_{cc} (min)$	$V_{cc} (min)$
	Q2 エミッタ at $V_{in}$ pin	-0.7V		$V_{susA} > V_{cc} (max) + 0.7V + \Delta V$	$V_{cc} (max)$
			$V_{in} (max)$	$V_{susB} > V_{in} (max) - V_{cc} (min) + \Delta V$	$V_{cc} (min)$
$V_{cc}$ to GND	D3	-0.7V (condition)	$V_{cc} + 0.7V$ (condition)	$BV > V_{cc} (max) + \Delta V$	$V_{cc} (max)$

CLIPPEDIMAGE= JP411259148A  
PAT-NO: JP411259148A  
DOCUMENT-IDENTIFIER: JP 11259148 A  
TITLE: ELECTROSTATIC DISCHARGE(ESD) PROTECTION CIRCUIT

PUBN-DATE: September 24, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
WILLIAMS, RICHARD K	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SILICONIX INC	N/A

APPL-NO: JP10370303  
APPL-DATE: December 25, 1998

INT-CL\_(IPC): G05F001/10; H01L027/04 ; H01L021/822 ; H01L027/06

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an ESD protection circuit to remain non-conductive until an input voltage reaches a prescribed level other than the power supply range of the circuit.

SOLUTION: An ESD protection circuit 60 includes diodes reversely connected in series between a signal input terminal and the power supply terminal of a protected circuit. Thereby an input signal can be raised up to a selected level so as to reach an applied voltage without triggering the circuit 60. The circuit 60 can be produced as an integrated circuit provided with a diode including a pair of P+ areas in an N-well or including an individual P+ area forming a PN junction part with an individual N-well. The diode may be formed on a polysilicon layer in a field oxide area. It is also possible to connect a 2nd pair of reversely connected diodes between the signal input terminal and a ground terminal.

COPYRIGHT: (C) 1999, JPO